

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 2 月 20 日 (20.02.2003)

PCT

(10) 国際公開番号
WO 03/015169 A1

(51) 国際特許分類: H01L 27/04, 21/3205, G06K 19/00,
G06F 12/14, H01L 27/10, B42D 15/10

(21) 国際出願番号: PCT/JP02/06577

(22) 国際出願日: 2002 年 6 月 28 日 (28.06.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-239009 2001 年 8 月 7 日 (07.08.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目2番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 水野 寛隆 (MIZUNO, Hirotaka) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目2番1号 株式会社日立超エ

ル・エス・アイ・システムズ内 Tokyo (JP). 増村 温夫 (MASUMURA, Yoshio) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 今健夫 (KON, Takeo) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 川島 行雄 (KAWASHIMA, Yukio) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿8丁目1番1号 アゼリアビル 3階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

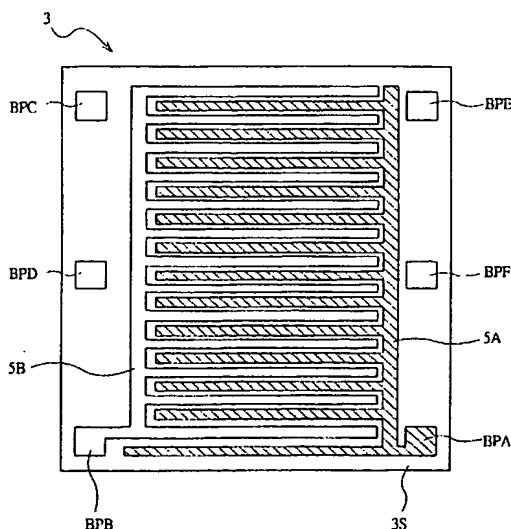
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND IC CARD

(54) 発明の名称: 半導体装置およびICカード



(57) Abstract: Wirings (5A, 5B) for supplying a power supply voltage to supply a drive voltage to an integrated circuit in a semiconductor chip (3) is so formed as to cover a major surface of the semiconductor chip (3). If the wirings (5A, 5B) are removed so as to analyze the information stored in the semiconductor chip (3), the integrated circuit does not operate to prevent the information analysis. A process detecting circuit for detecting process of the wirings (5A, 5B) is provided. When the process detecting circuit detects process of the wirings (5A, 5B), the integrated circuit is reset. Thus, the security of the information stored in a semiconductor device can be improved.

[続葉有]

BEST AVAILABLE COPY

WO 03/015169 A1



(57) 要約:

半導体チップ 3 の集積回路に駆動電圧を供給する電源電圧供給用の配線 5 A, 5 B を、半導体チップ 3 の主面を覆うように配置し、半導体チップ 3 に記憶された情報を解析するために配線 5 A, 5 B を除去してしまうと集積回路が動作せず情報解析ができないような構成とした。また、配線 5 A, 5 B の加工を検出する加工検出回路を設ける。加工検出回路が配線 5 A, 5 B の加工を検出すると、集積回路にリセットをかけるように構成する。これにより、半導体装置に記憶された情報のセキュリティ性を向上させることができる。

明 細 書

半導体装置および I C カード

5 技術分野

本発明は、半導体装置および I C (Integrated Circuit) カード技術に関し、特に、半導体装置に記憶された情報のセキュリティ技術に適用して有効な技術に関するものである。

10 背景技術

本発明者らが検討した I C カードは、内蔵した C P U (Central Processing Unit) の機能によりメモリのリード／ライトが管理され、暗号処理をカード自身に持たせた高いセキュリティ機能を持ち、記憶容量が磁気カードに比べて 3 0 ～ 1 0 0 倍大きいという特徴があることから、例えば金融、流通、医療、交通、運輸または教育等における情報記憶媒体として期待されている。一般的な I C カードの構造は、名刺サイズほどのプラスチックの薄板の一部に凹部を形成し、その凹部内に、パッケージングされた半導体チップを埋め込むことで構成されている。その半導体チップの最上層には、半導体チップの主面を全体的に覆うように絶縁材料からなる表面保護膜が形成されている。また、半導体チップの主面上に配置されたバスラインやコントロールライン等のような配線は、その上層に配置された多層配線によって覆われている。

なお、半導体装置の情報のセキュリティ性を向上させる技術としては、例えば特開平 1 1 - 1 4 5 4 0 1 号公報に記載があり、シリコン基板に形成された素子の上層に、その素子を覆うように導体層を設ける構造が開示されている。

ところが、上記 I C カードのセキュリティ技術においては、以下の課題があることを本発明者らは見出した。すなわち、上記シールド層を薬品によって全部除去した後、半導体装置を動作させた状態で、バスラインや信号ラインに解析用の針を直接当てることにより、半導体装置の情報を解析できる場合があるという問題がある。また、バスラインや信号ラインを多層配線技術を用いて覆っているも

の、モジュール等の入力口部では電源配線のレイアウトの都合上覆いきれない隙間が生じてしまう。その隙間を通じて解析用の針を当てることにより、半導体装置の情報を解析できる場合があるという問題がある。

- 本発明の目的は、半導体装置に記憶された情報のセキュリティ性を向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

- 10 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、本発明は、半導体チップの上層に配置された所定の配線を除去または切断すると、前記半導体チップに記憶された情報を解析することが不可能となるようにしたものである。

- 15 また、本発明は、半導体チップの上層に配置された所定の配線の加工を検出する加工検出回路を設けるものである。

図面の簡単な説明

- 20 図 1 は本発明の一実施の形態である IC カード（半導体装置）の平面図である。
図 2 は図 1 の X 1 - X 1 線の断面図である。

図 3 は図 2 の変形例の IC カードにおける図 1 の X 1 - X 1 線の断面図である。

- 図 4 は図 1 の IC カードを構成する半導体チップの平面図である。
図 5 は図 4 の半導体チップの主面における素子領域の要部平面図である。
25 図 6 は図 5 の半導体チップの要部断面図である。

図 7 は本発明の他の実施の形態である IC カード（半導体装置）を構成する半導体チップの平面図である。

図 8 は本発明の他の実施の形態である IC カードを構成する半導体チップの変形例の平面図である。

図 9 は本発明の他の実施の形態である I C カードを構成する半導体チップの変形例の平面図である。

図 1 0 は図 9 の X 3 - X 3 線の断面図である。

5 図 1 1 は本発明の他の実施の形態である I C カードを構成する半導体チップの一例の平面図である。

図 1 2 は本発明の他の実施の形態である I C カードを構成する半導体チップの一例の平面図である。

図 1 3 は図 1 2 の加工検出回路の一例の回路図である。

図 1 4 は図 1 3 の加工検出回路図の動作の説明図である。

10 図 1 5 は図 1 2 の半導体チップの要部拡大平面図である。

図 1 6 は図 1 5 の X 4 - X 4 線の断面図である。

図 1 7 は本発明の他の実施の形態である I C カードの加工検出回路の接続構成の説明図である。

図 1 8 は図 4 の半導体チップの主面における平面図である。

15 図 1 9 は本発明の他の実施の形態である半導体装置を構成する半導体チップの平面図である。

図 2 0 は図 1 9 の半導体チップに配置されたシールドの説明図である。

図 2 1 は図 2 0 の要部拡大平面図である。

図 2 2 は本実施の形態 9 の半導体装置のレイアウト層構造の説明図である。

20 図 2 3 は図 2 2 の要部平面図である。

図 2 4 は図 2 3 からシールド機能を有する配線を外して示した平面図である。

図 2 5 はシールドを配置する領域の細分化の例を示す平面図である。

図 2 6 はアクティブシールド用の配線の一例の平面図である。

図 2 7 はアクティブシールド用の配線の一例の平面図である。

25 図 2 8 はアクティブシールド用の配線の一例の平面図である。

図 2 9 はアクティブシールド用の配線の一例の平面図である。

図 3 0 はシールドを配置する領域を細分化した各領域毎のアクティブシールド用の配線の配置例の平面図である。

図 3 1 はシールドを配置する領域を細分化した各領域毎のアクティブシールド

ド用の配線の配置例の平面図である。

図 3 2 は本発明の他の実施の形態である半導体装置のシールドシステムを構成する配線と検出素子との配置の説明図である。

5 図 3 3 は本発明の他の実施の形態である半導体装置のシールドシステム例の説明図である。

図 3 4 は本発明のさらに他の実施の形態である半導体装置のシールドシステムを構成例の説明図である。

図 3 5 は本発明の他の実施の形態である半導体装置のシールドシステム例の説明図である。

10 図 3 6 は本発明の他の実施の形態である半導体装置のシールドシステム例の説明図である。

図 3 7 は本発明の他の実施の形態である半導体装置のシールド用配線の一例の平面図である。

図 3 8 はシールドを配置する領域の細分化の例を示す平面図である。

15 図 3 9 はシールドを配置する領域の細分化の例を示す平面図である。

図 4 0 は、本発明の他の実施の形態である I C カードを構成する半導体チップの要部拡大平面図である。

発明を実施するための最良の形態

20 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

25 また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）

は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。
5 このことは、上記数値および範囲についても同様である。

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

また、本実施の形態で用いる図面においては、平面図であっても図面を見易く
10 するためにハッチングを付す場合もある。

また、本実施の形態においては、電界効果トランジスタを代表するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

15 以下、本発明の実施の形態を図面に基づいて詳細に説明する。

(実施の形態1)

図1は、本実施の形態1のICカード(半導体装置)の全体平面図を示している。また、図2は、図1のX1-X1線の断面図を示している。

このICカード1は、例えば電子マネー、クレジットカード、携帯電話、有料
20 衛星放送受信機、身分証明書、免許書、保険証、電子カルテ、電子乗車券等、金融、流通、医療、交通、運輸または教育等における各種の情報記憶媒体として使用されている。ICカード1のカード本体1Sは、例えば平面長方形形状のプラスチックの薄板からなる。カード本体1Sの縦横寸法は、例えば85.47~85.72×53.92×54.03cm程度、厚さは、例えば0.68~1.84m
25 m程度である。

このカード本体1Sの主面側の一部には、平面略矩形状の情報格納領域IMAが設けられている。この情報格納領域IMAにおいてカード本体1Sには溝2が掘られており、その溝2内に、半導体チップ(以下、単にチップという)3を内

包するパッケージ4が埋め込まれるようにして收容されている。情報格納領域 I MAの縦横寸法は、例えば11.4×12.6cm程度である。

チップ3は、その主面（デバイス形成面）を溝2の底に向け、かつ、その裏面をパッケージ基板4aに接合させた状態でパッケージ基板4a上に実装されている。図18に示すように、チップ3の主面には、例えばメモリ回路3aおよびその動作を制御するCPU（Central Processing Unit）等のような論理回路群3bで構成される集積回路が形成されている。メモリ回路3aは、例えばEEPROM（Electric Erasable Programmable Read Only Memory）、フラッシュメモリ、マスクROM等のような不揮発性記憶素子及び／又はRAM（Random Access Memory）のようなメモリ素子（第1の素子）群で構成されている。このチップ3に形成された集積回路の電極は、チップ3の主面に設けられたボンディングパッド等のような外部端子BPによって引き出されている。このボンディングパッドは、例えば金（Au）等からなるボンディングワイヤ4bを通じてパッケージ基板4aの主面のランドと電氣的に接続されている。このようなチップ3およびボンディングワイヤ4bは、例えばエポキシ系樹脂等からなる封止樹脂4cによって封止されている。上記パッケージ基板4aの裏面、すなわち、チップ3の実装面とは反対側の面は、ICカード1の表面側に面している。パッケージ基板4aの裏面には、パッケージ基板4aの主面の電極と電氣的に接続された複数の電極が設けられており、これを通じて外部からチップ3に対してデータの授受が行えるようになっている。

ただし、チップ3の実装方式は、図2に示したものに限定されるものではなく、例えば図3に示すようなフェイスダウンボンディング方式を採用しても良い。すなわち、外部端子BP上にバンプ電極4dが形成され、かつ、チップ3の主面（デバイス形成面）をパッケージ基板4aに向けた状態で、チップ3の主面に形成されたバンプ電極4dを介してチップ3をパッケージ基板4a上に実装する方式を採用しても良い。チップ3の集積回路は、外部端子BPおよびバンプ電極4dを通じてパッケージ基板4aの配線と電氣的に接続されている。

次に、図4は、図2または図3のチップ3の主面側の最上の配線層の平面図を示している。チップ3を構成する半導体基板（以下、単に基板という）3Sは、

例えば平面四角形状のp型のシリコン(Si)単結晶の小片からなる。本実施の形態1においては、図4に示すように、チップ3の外周近傍には、上記ボンディングパッドBPA~BPFが配置されている。このうち、ボンディングパッドBPA、BPBは、それぞれ上記電源電圧用の配線5A、5Bと一体的にパターンニングされて電氣的に接続されている。また、ボンディングパッドBPCは、例えばクロック信号を入力するための端子である。また、ボンディングパッドBPDは、例えば所定の制御信号を入力するための端子である。さらに、ボンディングパッドBPE、BPFは、例えば入出力信号を授受するための端子である。

- 電源電圧用の配線5A、5Bは、チップ3の主面を覆うように配置されている。
- すなわち、電源電圧用の配線5A、5Bは、集積回路(メモリ回路3aおよび論理回路群3b)を覆うように配置されている。電源電圧用の配線5Aは、チップ3に形成された集積回路に対して低電位側の電源電圧(GND、例えば0V)を供給するための配線である。また、電源電圧用の配線5Bは、チップ3に形成された集積回路に対して高電位側の電源電圧(VCC、例えば1.8V、3.0V、5.0V)を供給するための配線である。電源電圧用の配線5A、5Bは、同一の配線層において各々の歯が噛み合うように平面的に櫛歯状に形成されている。この互いに隣接する電源電圧用の配線5A、5Bの隣接間隔は、可能な限り狭くなるように配置されている。すなわち、チップ3の主面の素子は、電源電圧用の配線5A、5Bによって隙間無く覆われている。このため、チップ3の情報を解析すべく、電源電圧用の配線5A、5Bの下層の信号配線等に針当てを試みても、電源電圧用の配線5A、5Bに邪魔されて針当てができない。また、電源電圧用の配線5A、5Bの下層の信号配線や素子を外部から観察することは、電源電圧用の配線5A、5Bに遮られて極めて難しくなっている。すなわち、電源電圧用の配線5A、5Bは、情報を保護するためのシールドとしての機能を有している。このため、本実施の形態1のような構造において、チップ3の情報を解析する場合は、電源電圧用の配線5A、5Bを除去しなければならないが、電源電圧用の配線5A、5Bは、チップ3の集積回路に対して動作電圧を供給する配線なので、これを除去してしまうと集積回路に対して電源電圧が供給されなくなる結果、集積回路が動作せず、チップ3に記憶された情報を解析することが不可能に

なっている。したがって、ICカード1の情報のセキュリティ性を向上させることが可能となっている。

図5は、図4のチップ3の主面における素子領域の要部平面図を例示している。図6は、図5のX2-X2線の断面図を示している。基板3Sの主面において、
5 分離領域にはフィールド絶縁膜6が形成されている。フィールド絶縁膜6は、例えば選択酸化（LOCOS：Local Oxidization of Silicon）法で形成された酸化シリコン（SiO₂等）からなる。フィールド絶縁膜6に代えて、溝型の分離部（SGI；Shallow Groove Isolation）を形成しても良い。この溝型の分離部は、
10 基板3Sの主面に形成された溝内に酸化シリコン膜等のような絶縁膜を埋め込むことで形成されている。このようなフィールド絶縁膜6や溝型の分離部に取り囲まれた領域に活性領域が形成されている。

また、基板3Sの主面から所定の深さにわたってnウェルおよびpウェルPWLが形成されている。このnウェルには、例えばリン（P）またはヒ素（As）が含有され、pウェルPWLには、例えばホウ素（B）または二フッ化ホウ素（BF₂）が含有されている。nウェルの領域内においてフィールド絶縁膜6に囲まれた活性領域には、pMIS（第2の素子）Qpおよびウェル給電領域NWPが配置されている。pMISQpとウェル給電領域NWPとはフィールド絶縁膜6を介して分離されている。

pMISQpは、ソース用のp型の半導体領域7aと、ドレイン用のp型の半導体領域7bと、ゲート絶縁膜8と、ゲート電極9とを有している。p型の半導体領域7a、7bには、例えばホウ素（B）が含有されている。ゲート絶縁膜8は、例えば酸化シリコンからなる。ただし、ゲート絶縁膜8の材料は、これに限定されるものではなく種々変更可能であり、例えばゲート絶縁膜8を酸窒化シリコン膜（SiON）としても良い。すなわち、ゲート絶縁膜8と基板3Sとの界面に窒素を偏析させる構造としても良い。酸窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜8のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通し難いので、酸窒化シリコン膜を用いることにより、ゲート電

- 極材料中の不純物が基板 3 S 側に拡散することに起因するしきい値電圧の変動を抑制することができる。酸窒化シリコン膜を形成するには、例えば基板 3 S を NO、NO₂ または NH₃ といった含窒素ガス雰囲気中で熱処理すれば良い。また、
- 5 基板 3 S の表面に酸化シリコンからなるゲート絶縁膜 8 を形成した後、基板 3 S を上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜 8 と基板 3 S との界面に窒素を偏析させることによっても、上記と同様の効果を得ることができる。上記ゲート電極 9 は、例えば低抵抗多結晶シリコンからなる。ただし、これに限定されるものではなく種々変更可能であり、例えば低抵抗多結晶シリコン膜上にコバルトシリサイド (CoSi_x) 等のようなシリサイド層を設けた、いわゆるポリ
- 10 リサイドゲート電極構造や低抵抗多結晶シリコン膜上に窒化タングステン (WN) 等のようなバリアメタル層を介してタングステン等のようなメタル膜を設けた、いわゆるポリメタルゲート電極構造としても良い。なお、上記ウエル給電領域 NWP は、n ウエルに対してバックバイアス電圧を印加するための給電領域であり、n ウエルの上部に、例えばリンまたはヒ素が n ウエルよりも高濃度に含有
- 15 されることで形成されている。

また、p ウエル PWL の領域内においてフィールド絶縁膜 6 に囲まれた活性領域には、nMIS (第 2 の素子) Qn およびウエル給電領域 PWP が配置されている。nMISQn とウエル給電領域 PWP とはフィールド絶縁膜 6 を介して分離されている。

- 20 nMISQn は、ソース用の n 型の半導体領域 10a と、ドレイン用の n 型の半導体領域 10b と、ゲート絶縁膜 8 と、ゲート電極 9 とを有している。n 型の半導体領域 10a、10b には、例えばリンまたはヒ素が含有されている。nMISQn のゲート絶縁膜 8 およびゲート電極 9 の構造は、pMISQp で説明したのと同じなので説明を省略する。上記 pMISQp のゲート電極 9 と nMIS
- 25 Qn のゲート電極 9 とは一体的にパターンニングされて電氣的に接続されている。このゲート電極 9 は、pMISQp および nMISQn で構成される CMIS インバータ回路の入力となっている。なお、上記ウエル給電領域 PWP は、p ウエル PWL に対してバックバイアス電圧を印加するための給電領域であり、p ウエル PWL の上部に、例えばホウ素または二フッ化ホウ素が p ウエル PWL よりも

高濃度に含有されることで形成されている。

pMISQp および/又は nMISQn により集積回路（メモリ回路 3 a および論理回路群 3 b）が構成される。

このような基板 3 S の主面上には、例えば酸化シリコン膜からなる層間絶縁膜 1 1 a が堆積されている。この層間絶縁膜 1 1 a 上には、例えばアルミニウム (Al) またはアルミニウム合金等のような金属膜からなる第 1 層配線 1 2 a ~ 1 2 f が形成されている。第 1 層配線 1 2 a は、コンタクトホール CNT 内のプラグを通じてゲート電極 9 と電氣的に接続されている。第 1 層配線 1 2 b は、コンタクトホール CNT 内のプラグ PL 1 を通じて pMISQp および nMISQn のドレイン用の p 型の半導体領域 7 b および n 型の半導体領域 1 0 b と電氣的に接続されている。すなわち、第 1 層配線 1 2 b は、CMIS インバータ回路の出力となっている。第 1 層配線 1 2 c は、コンタクトホール CNT 内のプラグを通じて pMISQp の p 型の半導体領域 7 a と電氣的に接続されている。第 1 層配線 1 2 d は、コンタクトホール CNT 内のプラグを通じてウエル給電領域 NW P と電氣的に接続されている。第 1 層配線 1 2 e は、コンタクトホール CNT 内のプラグ PL 1 を通じて nMISQn の n 型の半導体領域 1 0 a と電氣的に接続されている。第 1 層配線 1 2 f は、コンタクトホール CNT 内のプラグ PL 1 を通じてウエル給電領域 PWP と電氣的に接続されている。なお、プラグ PL 1 は、例えばアルミニウム、アルミニウム合金またはタングステン等のような金属膜からなる。

また、層間絶縁膜 1 1 a 上には、例えば酸化シリコン膜からなる層間絶縁膜 1 1 b が堆積されており、これによって第 1 層配線 1 2 a ~ 1 2 f が被覆されている。層間絶縁膜 1 1 b 上には、例えばアルミニウムまたはアルミニウム合金等のような金属膜からなる第 2 層配線 1 3 a ~ 1 3 d が形成されている。第 2 層配線 1 3 a は、層間絶縁膜 1 1 b に穿孔されたスルーホール TH 1 内のプラグ PL 2 を通じて第 1 層配線 1 2 e と電氣的に接続されている。第 2 層配線 1 3 b は、層間絶縁膜 1 1 b に穿孔されたスルーホール TH 1 内のプラグ PL 2 を通じて第 1 層配線 1 2 b と電氣的に接続されている。第 2 層配線 1 3 c は、層間絶縁膜 1 1 b に穿孔されたスルーホール TH 1 内のプラグ PL 2 を通じて第 1 層配線 1

2 f と電氣的に接続されている。

また、層間絶縁膜 1 1 b 上には、例えば酸化シリコン膜からなる層間絶縁膜 1 1 c が堆積されており、これによって第 2 層配線 1 3 a ~ 1 3 d が被覆されている。層間絶縁膜 1 1 c 上には、例えばアルミニウムまたはアルミニウム合金等の
5 ような金属膜からなる第 3 層配線 1 4 が形成されている。この第 3 層配線 1 4 によって上記した電源電圧用の配線 5 A, 5 B が形成されている。図 6 では、低電位側の電源電圧用の配線 5 B が例示されている。この第 3 層配線 1 4 は、スルーホール TH 2 内のプラグ PL 3 を通じて第 2 層配線 1 3 a, 1 3 c と電氣的に接続されている。すなわち、低電位側の電源電圧用の配線 5 A は、nMISQn の
10 ソース用の n 型の半導体領域 1 0 a および給電領域 PWP と電氣的に接続されている。また、高電位側の電源電圧用の配線 5 B は、pMISQp のソース用の p 型の半導体領域 7 a および給電領域 NWP と電氣的に接続されている。さらに、層間絶縁膜 1 1 c 上には、表面保護膜 1 5 が堆積されている。ここでは、表面保護膜 1 5 が、例えばプラズマ CVD (Chemical Vapor Deposition) 法で形成された窒化シリコン膜からなる絶縁膜 1 5 a 上に、例えばポリイミド系樹脂からなる絶縁膜 1 5 b を堆積することで構成されている。なお、電源電圧用の配線 5 A, 5 B は、その下部近傍の MIS・FET、ウェル領域に電源電圧を供給するように構成しても良い。この場合、電源電圧用の配線 5 A, 5 B の一部が切断または除去されると、除去された部分およびボンディングパッド BPA, BPB と電氣的に接続されなくなった配線 5 A, 5 B の部分の下部近傍の集積回路 3 a, 3 b
15 に電源電圧が供給されず、集積回路が動作しなくなり、チップ 3 に記憶された情報を解析することが不可能となる。

(実施の形態 2)

図 7 は、本発明の他の実施の形態である IC カードを構成するチップ 3 の変形例の平面図を示している。
25

本実施の形態 2 においては、図 7 に示すように、電源電圧用の配線 5 A, 5 B の平面形状が略梯子形状となっている。すなわち、電源電圧用の配線 5 A, 5 B は、それぞれ図 7 の上下方向に互いに平行に延びる 2 本の配線部と、これに対して交差する方向に延び、図 7 の上下方向に沿って所定の間隔を隔てて配置された

複数本の配線部とが、それらの交点で接続されることで構成されている。

ただし、本実施の形態2においては、電源電圧用の配線5A、5Bが、層間絶縁膜を介して、互いに異なる配線層に形成されている。ここでは、低電位側の電源電圧用の配線5Aの上層に、高電位側の電源電圧用の配線5Bが配置されている場合が例示されている。また、電源電圧用の配線5Aの隙間に、電源電圧用の配線5Bの一部が配置されるように、配線5A、5Bの平面的な位置がずれて配置されている。すなわち、本実施の形態2においても、チップ3の主面の素子が、電源電圧用の配線5A、5Bによって隙間無く覆われている。このため、チップ3の情報を解析すべく、電源電圧用の配線5A、5Bの下層の信号配線等に針当てを試みても、電源電圧用の配線5A、5Bに邪魔されて針当てができない。また、電源電圧用の配線5A、5Bの下層の信号配線や素子を外部から観察することは、電源電圧用の配線5A、5Bに遮られて極めて難しくなっている。このため、本実施の形態2においても、チップ3の情報を解析する場合は、電源電圧用の配線5A、5Bを除去しなければならないが、そのようにすれば前記実施の形態1で説明したのと同様の理由により、集積回路が動作せず、チップ3に記憶された情報を解析することができないようになっている。したがって、ICカード1の情報のセキュリティ性を向上させることが可能となっている。

(実施の形態3)

図8は、本発明の他の実施の形態であるICカードを構成するチップ3の変形例の平面図を示している。

本実施の形態3においては、図8に示すように、電源電圧用の配線5A、5Bの平面形状が格子形状となっている。すなわち、電源電圧用の配線5A、5Bは、それぞれ図8の上下方向に互いに平行に延びる複数本の配線部と、これに対して交差する方向に延びる複数本の配線部とが、それらの交点で接続されることで構成されている。

本実施の形態3においても、電源電圧用の配線5A、5Bが、互いに異なる配線層に形成されている。ここでも、低電位側の電源電圧用の配線5Aの上層に、高電位側の電源電圧用の配線5Bが配置されている場合が例示されている。また、本実施の形態3においても、電源電圧用の配線5Aの隙間に、電源電圧用の配線

5 Bの一部が配置されるように、配線 5 A、5 Bの平面的な位置がずれて配置されている。これにより、本実施の形態 3においても、前記実施の形態 1、2で得られた効果と同様の効果を得ることが可能となる。

(実施の形態 4)

- 5 図 9 は、本発明の他の実施の形態である IC カードを構成するチップ 3 の変形例の平面図を示している。また、図 10 は、図 9 の X3-X3 線の断面図を示している。

本実施の形態 4 においては、図 9 に示すように、低電位側の電源電圧用の配線 5 A がベタ配線となっている。すなわち、電源電圧用の配線 5 A は、チップ 3 の
10 主面の大半を覆うように平面四角形状に形成されている。もちろん高電位側の電源電圧用の配線 5 B をベタ配線としても良い。ここでは、高電位側の電源電圧用の配線 5 B は、低電位側の電源電圧用の配線 5 A の下層の配線層に設けられている。高電位側の電源電圧用の配線 5 B は、低電位側の電源電圧用の配線 5 A を下層に引き落とすスルーホール TH3 を配置する関係上、ベタ配線とはされず、通常
15 帯状の配線または幅広の配線とされている。

このような本実施の形態 4 においても、前記実施の形態 1、2 と同様の効果を得ることが可能となる。

(実施の形態 5)

- 図 11 は、本発明の他の実施の形態である IC カードを構成するチップ 3 の一
20 例の平面図を示している。チップ 3 の主面には、複数の回路ブロック 16 A ~ 16 D が配置されている。回路ブロック 16 A には、例えば DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) または FRAM (Ferroelectric Random Access Memory) 等のような RAM (Random Access Memory) が形成されている。回路ブロック 16 B には、例えば EEPROM
25 (Electric Erasable Programmable Read Only Memory) が形成されている。この回路ブロック 16 B には、上記金融、流通、医療、交通、運輸または教育等における各種の情報が記憶されている。回路ブロック 16 C には、例えば CPU (Central Processing Unit) が形成されている。この回路ブロック 16 C によってチップ 3 内の集積回路の動作が制御されている。回路ブロック 16 D には、

例えばROM (Read Only Memory) が形成されている。この回路ブロック 16 D には集積回路の動作に必要なプログラム等のような情報が記憶されている。このような各回路ブロック 16 A～16 Dの隣接間には、配線領域 17 が配置されている。この配線領域 17 には、バス配線 18 a、18 b や制御信号配線 18 c～18 e のような信号配線が配置されている。バス配線 18 a、18 b は、ほぼ等間隔に並んで隣接配置された複数本の信号配線の一群で構成される配線である。

本実施の形態 5 においては、この配線領域 17 の破線で示す領域 LA を部分的に覆うように前記した電源電圧用の配線 5 A、5 B が配置されている。すなわち、バス配線 18 a、18 b や制御信号配線 18 c～18 e のような情報の解析に使用される信号配線を覆うように部分的に電源電圧用の配線 5 A、5 B が配置されている。

このような本実施の形態 5 においても、前記実施の形態 1～4 と同様に、情報解析に際しては、電源電圧用の配線 5 A、5 B を除去しなければならないが、そのようにすると上記した理由により、集積回路が動作せず、チップ 3 に記憶された情報を解析することができない。したがって、IC カード 1 の情報のセキュリティ性を向上させることが可能となっている。

また、本実施の形態 5 においては、シールドとして機能する電源電圧用の配線 5 A、5 B を部分的に配置すれば良く、それ以外の領域を、他の回路ブロック 16 A～16 D 用の電源電圧用の配線領域または信号配線領域として使用することができる。したがって、シールドとして機能する電源電圧用の配線 5 A、5 B を配置しても、チップ 3 の全体的な配線の引き回しの自由度を確保できる。

(実施の形態 6)

図 12 は、本発明の他の実施の形態である IC カードを構成するチップ 3 の一例の平面図を示している。チップ 3 の主面には、複数の回路セル 19 が図 12 の上下左右方向に規則的に隙間無く並んで配置されている。この回路セル 19 には、複数の素子が配置されている。

ところで、前記実施の形態 1～5 においては、シールドとして機能する電源電圧用の配線 5 A、5 B の全体が除去されることを想定してチップ 3 の情報を保護する技術について説明したが、この他の方法として、例えば FIB (Focused Ion

Beam) 等のようなエネルギービームを用いて電源電圧用の配線 5 A, 5 B を部分的に除去し、情報解析を行うことも考えられる。そこで、本実施の形態 6 においては、そのような部分的な加工による情報解析防止のための対策として、例えばチップ 3 の主面に複数の加工検出回路 20 が配置されている。

- 5 この加工検出回路 20 は、前記実施の形態 1 ～ 5 に記載の電源電圧用の配線 5 A, 5 B またはチップ 3 に形成された特定の配線を加工（完全に切断または一部を切断）すると、それを検知してチップ 3 の集積回路にリセットをかけて集積回路が動作できないようにすることで、情報解析を阻止する機能を有している。このような加工検出回路 20 を配置することにより、IC カード 1 の情報解析を阻止
- 10 することができるので、セキュリティ性を向上させることが可能となる。

- また、本実施の形態 6 においては、この加工検出回路 20 をチップ 3 の主面内に不規則に複数分散して配置している。これにより、チップ 3 内における加工検出回路 20 の配置位置の特定を難しくさせることができる。すなわち、このようなチップ 3 に対して情報解析を行う場合、上記加工検出回路 20 を破壊した後、
- 15 上記シールドとして機能する配線等を除去し、チップ 3 内の情報を解析することが考えられるので、加工検出回路 20 を不規則に複数分散して配置すれば、加工検出回路 20 を破壊することが難しくなり、情報の解析を難しくすることができる。これにより、チップ 3 の情報のセキュリティ性をさらに向上させることが可能となる。なお、後述するように、加工検出回路 20 は、電源電圧用の配線 5 A、
- 20 5 B が加工（完全に切断または一部を切断）されると、電源電圧用の配線 5 A, 5 B の電位（または抵抗）の変化を検出する。すなわち、加工検出回路 20 は、配線 5 A, 5 B の加工を検出する検出回路である。

- 次に、図 13 は、上記加工検出回路 20 の回路図の一例を示している。ここでは、低電位側の電源電圧（GND）用の配線 5 A および高電位側の電源電圧（V
- 25 CC）用の配線 5 B のいずれか一方が加工されたとしても、それを 1 つの加工検出回路 20 によって検出することが可能な回路構成を例示している。

加工検出回路 20 は、高抵抗 R1, R2、nMISQn1、pMISQp1、インバータ回路 INV1, NOR 回路 NR1 およびインバータ回路 INV2 を有している。加工検出回路 20 は、上記回路セル 19 内の素子で構成されており、

上記電源電圧用の配線 5 A, 5 B の配線層よりも下層の配線で素子間が結線され回路が形成されている。上記電源電圧用の配線 5 A, 5 B は、加工検出回路 20 の入力となっている。また、加工検出回路 20 の駆動電圧である電源電圧 VCC 1, GND 1 は、上記電源電圧用の配線 5 A, 5 B とは別の経路で供給されている。

5 このようにしないと、電源電圧 5 A, 5 B のいずれかが切断されると加工検出回路 20 自体が動作しなくなり、検出回路としての機能を果たさなくなってしまうからである。ここでは、電源電圧 GND 1 は、上記低電位側の電源電圧用の配線 5 A に印加する電圧と同じ（例えば 0 V 程度）であり、また、電源電圧 VCC 1 は、上記高電位側の電源電圧用の配線 5 B に印加する電圧と同じ（例えば 1.8 V、3.0 V、5.0 V 程度）である。

10

なお、スリープ端子 SLP は、nMISQn1 のゲート電極およびインバータ回路 INV3 を介して pMISQp1 のゲート電極と電気的に接続されている。スリープ端子 SLP に “ハイ (High; 以下、単に H と記す)” の電圧が印加されると、nMISQn1 および pMISQp1 がオンし、加工検出回路 20 は

15 通常動作する。一方、スリープ端子 SLP に “ロウ (Low; 以下、単に L と記す)” の電圧が印加されると、nMISQn1 および pMISQp1 がオフし、加工検出回路 20 はスリープ状態となる。また、符号の N1 ~ N4 は、ノードを示し、符号の OUT は加工検出回路 20 の出力を示している。

図 14 は、図 13 の加工検出回路 20 の各動作時のノード N1 ~ N4 および出力 OUT の電位を示している。モード M1 は、加工検出回路 20 の通常動作時を示している。すなわち、配線 5 A, 5 B が加工されていない状態時を示している。この場合、ノード N1 は “L”、ノード N2 は “H”、ノード N3 は “L” となるので、NOR 回路 NR1 の出力のノード N4 が “H” となり、インバータ回路 INV2 で反転されて加工検出回路 20 の出力 OUT には、“L” が出力される。

20

25 この場合、チップ 3 の集積回路にはリセットがかからない。

モード M2 は、低電位側の配線 5 A は切断されないが、高電位側の配線 5 B が切断された場合を示している。この場合、ノード N2 は “L”、ノード N3 は “H” となるので、NOR 回路 NR1 の出力のノード N4 が “L” となり、インバータ回路 INV2 で反転されて加工検出回路 20 の出力 OUT には、“H” が出力さ

れる。この結果、チップ 3 の集積回路にはリセットがかかり、集積回路が動作せず、情報解析できないようにすることができる。

さらに、モード M 3 は、高電位側の配線 5 B は切断されないが、低電位側の配線 5 A が切断された場合を示している。この場合、ノード N 1 は “H” となり、
5 NOR 回路 NR 1 の出力のノード N 4 が “L” となるので、インバータ回路 I N V 2 で反転されて加工検出回路 2 0 の出力 O U T には、“H” が出力される。この結果、上記と同様に、チップ 3 の集積回路にはリセットがかかり、集積回路が動作せず、情報解析できないようにすることができる。

次に、図 1 5 は、上記シールドとして機能する電源電圧用の配線 5 A, 5 B の
10 レイアウトの一例を示している。また、図 1 6 は、図 1 5 の X 4 - X 4 線の断面図を示している。なお、ここでは、配線 5 A, 5 B のいずれか一方を入力とする加工検出回路 2 0 を例示しているが、上記のように配線 5 A, 5 B の両方を入力とする加工検出回路 2 0 を用いても良い。

本実施の形態 6 において、配線 5 A, 5 B の各々は、1 本の配線が下層の配線
15 1 8 を覆うように蛇行することで構成されている。すなわち、配線 5 A, 5 B の各々は、切断されると切断された配線同士が完全に絶縁されるように一筆書きで構成されている。そして、特に限定されないが、その終端に加工検出回路 2 0 が電気的に接続されている。配線 5 A, 5 B が枠状または格子状にレイアウトされていると、その一部を切断しても他から電源電圧の供給が可能となり、加工検出
20 回路 5 0 の入力電位は一定となってしまう結果、配線 5 A, 5 B に加工が行われても加工検出できなくなってしまう。これに対して、本実施の形態 6 においては、配線 5 A, 5 B を一筆書きとすることにより、情報解析に際して F I B 等のようなエネルギービームで配線 5 A, 5 B の一部を切断すると、加工検出回路 2 0 の入力への電源電圧の印加ができなくなり、加工検出回路 2 0 の入力電位が
25 変わるようになっている。その結果、上記のような加工検出回路 2 0 による加工検出が可能となり、チップ 3 に記憶された情報を解析することができないようにすることができる。

ここでは、特に限定されないが、配線 5 A, 5 B を層間絶縁膜を介して異なる配線層に設けた場合を例示している。すなわち、配線 5 B の上層に配線 5 A が配

- 置されるようにしている。そして、配線 5 A, 5 B は互いに交差するような平面レイアウトとされている。すなわち、下層の配線 1 8 が電源電圧用の配線 5 A, 5 B によって隙間無く覆われているため、チップ 3 の情報を解析すべく、電源電圧用の配線 5 A, 5 B の下層の配線 1 8 に針当てを試みても、電源電圧用の配線
- 5 5 A, 5 B に邪魔されて針当てができない。また、電源電圧用の配線 5 A, 5 B の下層の信号配線や素子を外部から観察することは、電源電圧用の配線 5 A, 5 B に遮られて極めて難しくなっている。このため、本実施の形態 6 においても、チップ 3 の情報を解析する場合は、電源電圧用の配線 5 A, 5 B を加工しなければならないが、そのようにすれば加工検出回路 2 0 によって検出される結果、集積回路が動作せず、チップ 3 に記憶された情報を解析することができないようになっている。したがって、I C カード 1 の情報のセキュリティ性を向上させることが可能となっている。なお、配線 1 8 は、バス配線（制御バス、データバスまたはアドレスバス等を含む）または制御配線等のような所望の信号配線を例示できる。
- 10
- 15 また、このような蛇行形状の配線 5 A, 5 B によって、その下層の加工検出回路 2 0 を覆うようにしても良い。チップ 3 に記憶された情報の解析に際して、加工検出回路 2 0 を破壊してから、配線 5 A, 5 B を除去し、情報解析を行うことが考えられるが、上記のように加工検出回路 2 0 を配線 5 A, 5 B で覆うようにしておけば、加工検出回路 2 0 を破壊するには配線 5 A, 5 B を切断しなければならないので、加工検出回路 2 0 の破壊の前に配線 5 A, 5 B の加工を検出することができ、情報解析を阻止することができる。
- 20
- また、このような配線 5 A, 5 B の一筆書き構成は、加工検出回路 2 0 を設けない場合にも適用できる。すなわち、チップ 3 の主面の大半または配線領域のみを上記図 1 6 で例示される一筆書き形状の配線 5 A, 5 B で覆い、その配線 5 A,
- 25 5 B の一部でも切断されると、チップ 3 の集積回路への電源電圧の供給がなされなくなり、集積回路が動作しないようにすることで、情報解析を阻止することができる。
- また、配線 5 A の平面パターンと、配線 5 B の平面パターンとが異なる平面パターンを有するように構成しても良い。これにより、情報解析をより困難にする

ことができる。

なお、本実施の形態において、配線 5 A, 5 B を異なる配線層に設けた場合を例示しているが、図 40 に示すように、配線 5 A, 5 B を同層の配線層に設けるようにしても良い。これにより、本実施の形態と同様の効果が得られる。

- 5 また、図 40 に示すように、配線 5 A の平面パターンと、配線 5 B の平面パターンとが異なる平面パターンを有するように構成することにより、情報解析をより困難にすることができる。

- 10 また、図 40 に示す配線 5 A, 5 B を同層に設けた配線層を複数層積層して構成してもよい。すなわち、複数の配線層の夫々に図 40 に示す配線 5 A, 5 B を設けるように構成する。この場合、各配線層の配線 5 A, 5 B の平面パターンを、配線層間で異なるように構成することにより、情報解析をより困難にすることができる。

- 15 また、図 15 の平面パターンを有する配線層と図 40 の平面パターンを有する配線層を積層して構成することにより、情報解析をより困難にすることができる。
- 20 また、図 15 に示す配線 5 B の配線層と配線 5 A の配線層との間の配線層に、図 40 に示す配線 5 A, 5 B の配線パターンを設けようにしても良い。この場合、図 15 に示す配線 5 B の平面パターンと、図 15 に示す配線 5 A の平面パターンと、図 40 に示す配線 5 A, 5 B の配線パターンとを異なる平面パターンで構成することにより、情報解析をより困難にすることができる。

20 (実施の形態 7)

- 25 前記実施の形態 6 では、加工検出配線として機能する電源電圧用の配線と、加工検出回路の駆動電圧を供給する電源電圧用の配線との経路を別々とした場合について説明したが、本実施の形態 7 では、図 17 に示すように、一方の加工検出回路 20 (20 a ~ 20 d) の加工検出配線として機能する配線 5 A, 5 B の電源電圧 GND, VCC と、他の加工検出回路 20 (20 a ~ 20 d) の駆動電圧を供給する電源電圧 GND 1, VCC 1 との供給経路を一体としている。すなわち、一方の加工検出回路 20 の加工検出入力用の配線 5 A, 5 B は、他の加工検出回路 20 の駆動電圧供給用の配線 5 A, 5 B とされている。また、ここでは、加工検出回路 20 a ~ 20 d がループを描くように配置されている場合が例示

されている。

ICカード1の情報解析に際して、電源電圧GND1, VCC1を切断（または電源電圧GND1, VCC1が供給されないように）し、加工検出回路20が動作しないようにしてから配線5A, 5Bを切断して情報を解析することが考えられる。そこで、本実施の形態7においては、一方の加工検出回路20の電源電圧GND1, VCC1を供給する配線を切断（または電源電圧GND1, VCC1が供給されないように）すると、それを他方の加工検出回路20が検出するような構成とされている。例えば加工検出回路20bを動作させないようにそれを駆動させる電源電圧GND1, VCC1を供給するための配線を切断すると、加工検出回路20aがそれを検出し、チップ3の集積回路が動作できないようにする。このため、上記のような情報解析を阻止することができ、ICカード1のセキュリティ性をさらに向上させることができる。

また、本実施の形態7においても、配線5A, 5Bの形状を図16に示したような蛇行形状として下層の加工検出回路20を覆うようにしても良い。これにより、加工検出回路20を破壊しようとする、加工検出回路20がそれを検出し、チップ3の集積回路が動作できないようにして情報解析を阻止することができる。

（実施の形態8）

本実施の形態8では、シールド機能を有する電源電圧用の配線と、アクティブシールド用の配線とを平面的には異なる位置に配置した場合の一例を説明する。なお、後述するようにアクティブシールドは、前記実施の形態6, 7で説明したようなシールドである。

図19は、本実施の形態8の半導体装置を構成するチップ3の平面図を示している。図19の配線5A, 5Bは、前記実施の形態1～5で説明したシールド機能を有する電源電圧用の配線である。図19では、配線5A, 5Bが前記実施の形態1と同様に同層（最上の配線層）に形成されている。ただし、配線5A, 5Bを前記実施の形態2と同様に異層に形成しても良い。また、配線5A, 5Bの平面形状を前記実施の形態3, 4で説明した形状にしても良い。

また、図19には、配線5A, 5Bが、主としてチップ3の主面の一部（図1

9のチップ3の上部側)を覆うように配置され、領域L Aには配置されていない場合が例示されている。領域(第2の領域)L Aは、前記したようにバス配線18 a, 18 bや制御信号配線18 c~18 e等のような情報解析に使用される信号配線が配置された領域を例示している。本実施の形態8では、この領域L Aに

5 配線5 A, 5 Bと同層の配線層で構成されたアクティブシールド用の配線が配置されている。すなわち、領域L A以外の領域に形成されたシールド機能を有する電源電圧用の配線5 A, 5 Bと、領域L Aに形成されたアクティブシールド用の配線とにより、集積回路(メモリ回路3 aおよび論理回路群3 b)が覆われるように構成されている。

10 なお、シールド機能を有する電源電圧用の配線5 A, 5 Bを前記実施の形態1~5に示す配線5 A, 5 Bの平面パターン及び複数の配線層で構成してもよいし、アクティブシールド用の配線を前記実施の形態6に示したアクティブシールド用の配線5 A, 5 Bの平面パターン及び複数の配線層で構成しても良い。すなわち、シールド機能を有する電源電圧用の配線を単層の配線層又は複数の配線層で

15 構成してもよく、アクティブシールド用の配線を単層の配線層又は複数の配線層で構成してもよい。また、シールド機能を有する電源電圧用の配線と、アクティブシールド用の配線とは少なくとも同層の配線層を一層有しており、これにより、同層の配線層で集積回路(メモリ回路3 aおよび論理回路群3 b)を覆うように配置することができ、情報解析をより困難にすることができる。

20 アクティブシールドは、前記実施の形態6, 7で説明したようなシールドである。すなわち、アクティブシールドは、前記実施の形態6で説明したように、アクティブシールドを構成する特定の配線(アクティブシールド用の配線)を加工(完全に切断または一部を切断)すると、それを検知してチップ3の集積回路にリセットをかけて集積回路が動作できないようにすることで、情報解析を阻止する機能を有するようなシールドである。領域L Aのバス配線18 a, 18 bや制御信号配線18 c~18 e等のような情報解析に使用される信号配線は、このアクティブシールドシステムによって保護されている。すなわち、アクティブシールド用の配線をF I B (Focused Ion Beam)等で加工(完全にまたは一部を切断)するとそのアクティブシールド用の配線における電位変動を検出し、例えばその

25

- 検出信号をチップ3の集積回路全体を制御するコントロール回路に検出信号を入力することによりチップ3の集積回路のリセット信号を活性化させて、チップ3の集積回路をリセット状態等にする。これにより、チップ3の集積回路が動作しなくなり、情報解析ができないようになっている。リセット状態とは、チップ
- 5 が動作しない状態、すなわち、ロック状態のことである。ただし、ここで大切なのは、アクティブシールド用の配線が加工された場合にチップ3の集積回路が動作しないようにすることであり、ICカードのいわゆるリセット状態になるようにすることに限定されるものではない。例えば上記アクティブシールド用の配線が加工されるとチップ3の集積回路が二度と動作しないデットモードになるよう
- 10 うにしても良い。その具体例としては、チップ3内にアクティブシールドシステムとしてヒューズ回路を設けておき、上記アクティブシールド用の配線が加工されると、そのヒューズ回路のヒューズが自動的に切断され、チップ3内の集積回路が2度と動作できないように破壊されるようにしても良い（以下、他の実施の形態においてもリセットについて同じ）。
- 15 アクティブシールド用の配線は、バス配線18a, 18bや制御信号配線18c～18e等のような信号配線よりも上層に層間絶縁膜を介して配置されている。すなわち、アクティブシールド用の配線は、信号配線を通じての情報解析時に加工（完全または一部を切断）しなければならないような位置に配置されている。これにより、上記信号配線を通じて情報解析を行うためにはアクティブシールド用の配線を加工しなければならないので、上記信号配線を通じてのIC
- 20 カードの情報解析をより困難にすることが可能となっている。本実施の形態8では、アクティブシールド用の配線が図19の配線5A, 5Bと同じ最上の配線層に形成されている。すなわち、本実施の形態8では、種類（または手法）の異なるシールド（電源電圧用の配線5A, 5Bを用いたシールドとアクティブシールド用の配線）を同一配線層の平面内に配置することにより、シールドシステムの
- 25 解読を難しくすることができ、シールドシステムの解除または動作回避をより困難にできるので、ICカードの情報解析をより困難にすることが可能となっている。また、配線5A, 5Bのパターニング時にアクティブシールド用の配線をパターニングすることにより、いろいろな種類（または手法）のシールドシステムを形

成したからといって半導体装置の製造時間が大幅に増大することもない。このアクティブシールド用の配線には、例えば図 19 の配線 5 A, 5 B と同じ電位が供給されている。すなわち、上記アクティブシールド用の配線には、低電位側の電源電圧 (GND、例えば 0 V)、高電位側の電源電圧 (VCC、例えば 1.8 V、3.0 V、5.0 V) またはそれらの電源電圧以外の電位が供給されている。あるいは上記アクティブシールド用の配線の一部のものには、低電位側の電源電圧を供給し、上記アクティブシールド用の配線の他の一部のものには高電位側の電源電圧を供給するようにしても良い。さらに上記アクティブシールド用の配線の一部のものに上記電源電圧以外の電位を供給しても良い。このように同一チップ 3 内に、供給電位の異なる複数種類の上記アクティブシールド用の配線を配置することにより、アクティブシールドシステムの解読を難しくすることができ、アクティブシールドシステムの解除または動作回避をより困難にできるので、IC カードの情報解析をより困難することが可能となっている。

図 20 は、上記図 19 の領域 L A に配置されたアクティブシールドを構成するアクティブシールド用の配線 5 C, 5 D (上記特定の配線、第 1 の配線) の一例の説明図である。図 21 は、図 20 の要部拡大平面図である。

図 20 および図 21 には、平面櫛歯状の配線 5 C, 5 D を有するアクティブシールドが例示されている。配線 5 C, 5 D は、バス配線 18 a, 18 b や制御信号配線 18 c ~ 18 e 等のような信号配線の信号配線の上層に層間絶縁膜を介して設けられている。そして、配線 5 C, 5 D は、上記信号配線を覆うように、配線 5 C, 5 D の各々の歯が噛み合うような状態で配置されている。さらに、配線 5 C, 5 D の隣接間隔は、バス配線 18 a, 18 b や制御信号配線 18 c ~ 18 e 等のような下層の信号配線が観察できないように可能な限り狭くされている (図 21 参照)。すなわち、配線 5 C, 5 D は、バス配線 18 a, 18 b や制御信号配線 18 c ~ 18 e 等のような下層の信号配線上に形成されるとともに、配線 5 C, 5 D の主な延在方向が下層の信号配線の主な延在方向と一致するようにそれらを覆うように配置される。このため、チップ 3 の情報を解析すべく、配線 5 C, 5 D の下層の信号配線等に針当てを試みても、配線 5 C, 5 D に邪魔されて針当てができない。そこで、本実施の形態 8 のような構造においては、配

線 5 C, 5 D を除去しなければならないが、配線 5 C, 5 D の一部でも除去すると、アクティブシールドシステムが働いて集積回路が動作しなくなり、情報解析が不可能となっている。したがって、IC カードの情報のセキュリティ性を向上させることが可能となっている。また、本実施の形態 8 においては、配線 5 C, 5 D は、上記下層の信号配線が見えなくなるように配置されているとともに、配線 5 C, 5 D の配線幅および配線間隔が、上記下層の信号配線の配線幅および配線間隔と同じ寸法（最小加工寸法）とされている。このように、アクティブシールド用の配線 5 C, 5 D と上記下層の信号配線とを似せることにより、どれが本当の信号配線かを分かり難くすることができるので、IC カードの情報解析をより困難にさせることが可能となっている。配線 5 C には、例えば低電位側の電源電圧（GND、例えば 0 V）が印加され、配線 5 D には、例えば高電位側の電源電圧（VCC、例えば 1.8 V、3.0 V、5.0 V）が印加されている。

また、図 20 に示すように、加工検出回路 20 は、1 つのアクティブシールド用の配線 5 C, 5 D に対して複数個電氣的に接続しても良い。また、加工検出回路 20 は、アクティブシールド用の配線 5 c, 5 d のどこの位置（端部、中間位置、櫛歯の歯の位置等）に接続しても良い。さらに、1 つの加工検出回路 20 が 2 つの配線 5 C, 5 D の両方に電氣的に接続されていても良い。この加工検出回路 20 の配置位置、加工検出回路 20 のアクティブシールド用の配線 5 C, 5 D への接続位置あるいは個々の配線 5 C, 5 D に接続される加工検出回路 20 の個数は、不規則であることが好ましい。また、各加工検出回路 20 とアクティブシールド用の配線 5 C, 5 D との距離も同じものや違うものが入り交じっていた方が好ましい。これにより、加工検出回路 20 の情報（配置位置や個数等）の取得を困難にさせることができるので、アクティブシールドシステムの解読を難しくすることができる。このため、アクティブシールドシステムの解除や動作回避を困難にすることができるので、IC カードの情報解析をより困難にさせることができる。したがって、IC カードのセキュリティ性をさらに向上させることが可能となる。

（実施の形態 9）

本実施の形態 9 では、シールド機能を有する電源電圧用の配線と、アクティブ

シールド用の配線とを平面的には同じ位置であるが、断面的には異なる配線層に配置した場合の例を説明する。

図 2 2 は本実施の形態 9 の半導体装置のレイアウト層構造の説明図、図 2 3 は図 2 2 の要部平面図、図 2 4 は図 2 3 からシールドを外して示した平面図をそれぞれ示している。図 2 2 に示すように、最下のレイアウト層 L 0 には、例えばセル、モジュール、前記メモリ回路 3 a、前記論理回路群 3 b および前記加工検出回路等を構成する所望の素子を有する複数の集積回路領域が配置されている。レイアウト層 L 0 の上層の配線層 L 1 には、前記バス配線 1 8 a、1 8 b や制御信号配線 1 8 c ~ 1 8 e 等のような信号用の配線 1 8 が配置されている。さらに、配線層 L 1 の上層の配線層 L 2 には、前記実施の形態 6 ~ 8 で説明したアクティブシールド用の配線（特定の配線、第 1 の配線）5 E が配置されている。ここではアクティブシールド用の配線 5 E として 1 本の蛇行配線（一筆書き配線）が例示されている。アクティブシールド用の配線 5 E には、例えば低電位側の電源電圧（GND、例えば 0 V）、高電位側の電源電圧（VCC、例えば 1. 8 V、3. 0 V、5. 0 V）またはそれ以外の電圧が印加されている。また、配線 5 E には、複数の加工検出回路 2 0 が電氣的に接続されている（図 2 3 参照）。配線 5 E に接続された加工検出回路 2 0 に関することは前記実施の形態 6 ~ 8 と同じなので説明を省略する。さらに配線層 L 2 の上層の最上の配線層 L 3 には、前記実施の形態 1 ~ 5 等で説明したシールド機能を有する電源用の配線 5 A、5 B が配置されている。すなわち、本実施の形態 9 では、シールド機能を有する電源電圧用の配線 5 A、5 B と、アクティブシールド用の配線 5 E とが、平面位置を同一にして異なる配線層に形成されている。このようにシールド機能を有する配線を平面位置を同一にして異なる配線層に層間絶縁膜を介して多層に積み重ねる多層配線構造とすることにより、または、シールド機能としては同じだが手法の異なるものを配置することにより、シールドシステムの解読を難しくすることができ、シールドシステムの解除や動作回避をさらに困難とさせることができるので、IC カードの情報解析をより困難にさせることが可能となる。したがって、IC カードのセキュリティ性をさらに向上させることが可能となる。ただし、電源電圧用の配線 5 A、5 B と、アクティブシールド用の配線 5 E との配線層の上下関係

- は逆でも良い。また、この電源電圧用の配線 5 A, 5 B が形成された配線層 L 3 と、アクティブシールド用の配線 5 E が形成された配線層 L 2 との間に、シールド機能を有する電源電圧用の配線またはアクティブシールド用の配線をレイアウトした別の配線層をさらに介在させても良い。なお、レイアウト層 L 0 と配線層 L 1 との間、配線層 L 1, L 2 の間および配線層 L 2, L 3 の間には、例えば酸化シリコン膜等からなる層間絶縁膜が設けられている。すなわち、各配線層 L 0, L 1, L 2, L 3 に形成される配線と、その上下の配線層に形成される配線とは層間絶縁膜により電氣的に分離され、それらの配線間は層間絶縁膜に形成された接続孔を介して電氣的に接続される。
- 10 また、本実施の形態 9 では、図 2 3 に示すように、シールド機能を有する電源電圧用の配線 5 A, 5 B と、アクティブシールド用の配線 5 E とが平面的に同じ位置（同じ配線層の配線）に配置されている。そして、シールド機能を有する電源電圧用の配線 5 A, 5 B の隣接間に、下層のアクティブシールド用の配線 5 E が配置されている。すなわち、シールド機能を有する電源電圧用の配線 5 A, 5 B の隣接間の隙間を、その下層のアクティブシールド用の配線 5 E で埋めるようにすることで、図 2 3 および図 2 4 に示すように、アクティブシールド用の配線 5 E よりも下層の前記バス配線や制御信号配線等のような信号用の配線 1 8 をさらに見え難くすることができ、その配線 1 8 に対する針当てや F I B 等による情報解析をよりいっそう困難にさせることができる。したがって、I C カードのセキュリティ性をさらに向上させることが可能となる。また、配線 5 A, 5 B, 5 E は、前記実施の形態 8 と同様に、配線 5 A, 5 B, 5 E の配線幅および配線間隔が、上記信号用の配線 1 8 の配線幅および配線間隔と同じ寸法（最小加工寸法）とされている。これにより、前記実施の形態 8 と同様に I C カードの情報解析をより困難にさせることが可能となっている。

25 (実施の形態 1 0)

本実施の形態 1 0 においては、シールドを配置する領域を複数の領域に細分化し、その細分化された各領域毎に形状または手法の異なるシールドを配置する場合を説明する。

図 2 5 はシールドを配置するシールドエリア S A を示し、図 2 6 ～図 2 9 は形

状が異なるアクティブシールド用の配線の平面図の一例を示している。

- 本実施の形態10においては、図25に示すように、シールドエリア（第1の領域）SAを、例えば9個のサブシールドエリア（第2の領域）SSA1～SSA9に等分割している。ここでは各サブシールドエリアLA1～LA9の形状および面積が等しい場合が例示されている。シールドエリアSAは、例えばチップ3の主面全体の場合もあるし、チップ3主面の配線領域（前記領域LAに相当する）または回路領域のみの場合もある。図26は、図25のサブシールドエリアSSA1に配置されたアクティブシールド用の配線5C、5Dを例示している。図26のアクティブシールド用の配線5C、5Dは、前記図20で説明したのと同じ櫛歯形状のものである。図27は、図25のサブシールドエリアSSA2に配置されたアクティブシールド用の配線5Eを例示している。図27のアクティブシールド用の配線5Eは、前記図22および図23で説明したのと同じ蛇行形状のものである。図28は、図25のサブシールドエリアSSA3に配置されたアクティブシールド用の配線（特定の配線、第1の配線）5Fを例示している。図28のアクティブシールド用の配線5Fは、蛇行形状の配線が下層の信号配線や素子等を覆い隠すように複雑に入り組んだような形状とされている。配線5Fには、例えば低電位側の電源電圧（GND、例えば0V）または高電位側の電源電圧（VCC、例えば1.8V、3.0V、5.0V）が印加されている。図29は、図25のサブシールドエリアSSA4に配置されたアクティブシールド用の配線5C、5Eを例示している。図29のアクティブシールド用の配線5Cは、前記図20で説明したのと同じ櫛歯形状のものであり、図29のアクティブシールド用の配線5Eは前記図22、図23および図27で説明したのと同じ蛇行形状のものである。配線5C、5Eは、下層の信号配線や素子等を覆い隠すように、配線5Cの歯の部分が、配線5Eの凹状の隙間領域に入り込むような状態で配置されている。このようにシールドエリアSAに種々の形状のアクティブシールド用の配線5C、5D、5E、5Fを配置することにより、シールドシステムの解読を難しくすることができ、シールドシステムの解除や動作回避を困難にできるので、ICカードの情報解析をより困難にさせることができ、ICカードのセキュリティ性をさらに向上させることが可能となる。アクティブシールド用の配線

5 C, 5 D, 5 E, 5 Fは、同一配線層に配置しても良いし、互いに異なる配線層に配置しても良い。また、配線5 C～5 Fは、前記実施の形態8, 9と同様に、配線5 C～5 Fの配線幅および配線間隔が、上記信号用の配線1 8の配線幅および配線間隔と同じ寸法（最小加工寸法）とされている。これにより、前記実施の

5 形態8, 9と同様にI Cカードの情報解析をより困難にさせることが可能となっている。加工検出回路2 0の構成や各配線5 C～5 Fに対する配置状態は前記実施の形態6～9と同じなので説明を省略する。

また、このようなアクティブシールド用の配線の形状は、下層の前記信号配線や素子等を覆い隠せるような形状であれば良く、上記の形状に限定されるものではない。種々変更可能である。また、各サブシールドエリアS S A 1～S S A 9に配置されるアクティブシールド用の配線の形状は全て異なるようにしなければならない訳ではなく、異なるサブシールドエリアS S A 1～S S A 9に互いに同じ形状のアクティブシールド用の配線が配置されていても良い。また、ここではアクティブシールドのみについて述べたが前記実施の形態1～5等で説明した

15 シールド機能を有する電源電圧用の配線5 A, 5 BをサブシールドエリアS S A 1～S S A 9毎に形状を変えて配置しても良い。また、サブシールドエリアS S A 1～S S A 9のいずれかにシールド機能を有する電源電圧用の配線5 A, 5 Bを配置し、それ以外のサブシールドエリアS S A 1～S S A 9にアクティブシールド用の配線を配置しても良い。これにより、シールドシステムの解読を難しく

20 することができ、シールドシステムの解除や動作回避を困難にできるので、I Cカードの情報解析をより困難にさせることができ、I Cカードのセキュリティ性をさらに向上させることが可能となる。

図3 0および図3 1は、上記サブシールドエリアS S A 1～S S A 9に配置されるアクティブシールド用の配線の配置例を示している。図3 0は、サブシールドエリアS S A 1にアクティブシールド用の配線5 C, 5 Dの一对を1つ配置した場合を示している。図3 1は、サブシールドエリアS S A 1にアクティブシールド用の配線5 C, 5 Dの一对を複数配置した場合を示している。アクティブシールド用の配線5 C, 5 Dの一对は、図3 1の上下に隣接する対同士が上下非対称に配置されているものと、上下対称に配置されているものとを混在させている。

25

これにより、シールドシステムの解読を難しくすることができ、シールドシステムの解除や動作回避を困難にできるので、ICカードの情報解析をより困難にさせることができ、ICカードのセキュリティ性をさらに向上させることができる。

- 5 なお、前記実施の形態1～9に開示したシールド夫々において、本実施の形態のように細分化された各領域毎に形状または手法の異なるシールドを配置することにより、ICカードの情報解析をさらに困難にさせることができ、ICカードのセキュリティ性をさらに向上させることができる。

(実施の形態11)

- 10 本実施の形態11では、アクティブシールド用の配線と、それに電氣的に接続される検出回路との平面位置関係を不規則にする場合を説明する。

- 15 アクティブシールドシステムを構成する加工検出回路は、アクティブシールド用の配線に対してどこから接続しても構わないが、加工検出回路とそれが接続されるアクティブシールド用の配線との接続関係が解読され加工検出回路の位置が判明してしまうと、シールド機能が発揮されないように加工検出回路が破壊されてしまう可能性がある。そこで、本実施の形態11においては、アクティブシールド用の配線と、それに電氣的に接続される加工検出回路とが、各々の平面位置関係が不規則になるように配置されている。図32は、それを例示している。図32には、3つのサブシールドエリアSSA1, SSA3, SSAnと、その各々に対応する3つの加工検出回路20a1, 20a2, 20a3(20)とを
20 例示し、対応するサブシールドエリアと加工検出回路とに同じハッチングを付した。最上の配線層L3のサブシールドエリアSSA1に配置された所定のアクティブシールド用の配線に接続される加工検出回路20a1は、レイアウト層L0においてサブシールドエリアSSA1の直下ではなく、それとは別の不規則な平面位置に配置されている。配線層L3の他のサブシールドエリアSSA3, SSAn等についても同様に、その各々のアクティブシールド用の配線に接続される加工検出回路20a2, 20anは、サブシールドエリアSSA3, SSAnの配置位置に対して規則性を持たずにレイアウト層L0に配置されている。これにより、サブシールドエリアSSA1, SSA3, SSAnの各々のアクティブシールド用の配線と、その各々のアクティブシールド用の配線に電氣的に接続され
25

た加工検出回路 20 (20a1, 20a3, 20an) との位置関係や接続関係の解読を困難にすることができ、シールドシステムの解除や動作回避を困難にできるので、ICカードの情報解析をより困難にさせることができ、ICカードのセキュリティ性をさらに向上させることが可能となる。

- 5 なお、前記実施の形態 6～10 の夫々において、本実施の形態のようにアクティブシールド用の配線と、それに電氣的に接続される検出回路との平面位置関係を不規則にする配置を適用することにより、ICカードの情報解析をさらに困難にさせることができ、ICカードのセキュリティ性をさらに向上させることができる。

10 (実施の形態 12)

- 本実施の形態 12 においては、所定のアクティブシールド用の配線に対して複数の加工検出回路を電氣的に接続する例を説明する。図 33 は、そのアクティブシールドシステムの例を示している。ここには複数のサブシールドエリア SSA が配置されている。サブシールドエリア SSA は、上記サブシールドエリア SS
- 15 A1～SSA9 に相当する領域である。各サブシールドエリア SSA には、アクティブシールド用の配線が配置されている。各サブシールドエリア SSA のアクティブシールド配線の形状は同じでも異なっても良い。各サブシールドエリア SSA のアクティブシールド用の配線には複数の加工検出回路 20 が電氣的に接続されている。アクティブシールド用の配線および加工検出回路 20 は、レイアウト層 L0 および主要な前記信号配線が配置された配線層と、アクティブシールド用の配線が配置された配線層との中間の配線層でランダムに接続されている。このアクティブシールド用の配線と加工検出回路 20 との接続関係は解読困難なように複雑になっている。ここでは出来る限りサブシールドエリア SSA の面積を小さくし、各アクティブシールド用の配線を複数の加工検出回路 20 で
- 20 監視させる。複数の加工検出回路 20 で監視させることにより、1 つの加工検出回路 20 が破壊され無効にされたとしても別の加工検出回路 20 が動作するので、ICカードの情報を保護することができる。また、サブシールドエリア SSA の面積を小さくして細分化することにより、シールドエリア SA 内における全体的なシールド用の配線レイアウトや加工検出回路 20 との接続関係をより複
- 25

雑にできるので、シールドシステムの解読を困難にでき、ICカードのセキュリティ性を向上させることができる。

- 5 なお、前記実施の形態6～11の夫々において、本実施の形態のように所定のアクティブシールド用の配線に対して複数の加工検出回路を電氣的に接続する配置を適用することにより、ICカードの情報解析をさらに困難にさせることができ、ICカードのセキュリティ性をさらに向上させることができる。

(実施の形態13)

- 10 本実施の形態13においては、アクティブシールド用の配線の電位を一定にしない場合の例について説明する。すなわち、アクティブシールド用の配線の電位を時間経過に従って変化させる例を説明する。

- 15 図34は、本実施の形態13のアクティブシールドシステムの一例の説明図を示している。このシステムでは、チップ3に形成された電位供給回路25からアクティブシールド用の配線（図34では配線5Eを例示）に所定の電位が供給されるようになっている。電位供給回路25は、チップ3内に形成された独立した
- 20 発振器26からの同期信号に同期して一定時間毎に、アクティブシールド用の配線5Eに供給される電位を変えるようになっている。また、発振器26の同期信号は、同期信号配線27を通じて加工検出回路20にも伝送されるようになっていて、加工検出回路20側でも発振器26から送られてきた同期信号に合わせて正否基準電位を変えるようになっている。正否基準電位は、加工検出回路20で
- 25 検出されたアクティブシールド用の配線5Eの検出電位が正しいか否かを判断するときと比較対象となる基準の電位である。この正否基準電位と、上記検出電位とが等しい（許容誤差を含む）場合に上記検出電位は正しいと判断される。すなわち、加工検出回路20では、所定時間に検出されたアクティブシールド用の配線5Eの検出電位と、その所定時間に検出されるべき正否基準電位とを比較し、
- 各々の電位が異なることを検出すると、チップ3の集積回路にリセットをかけて集積回路が動作できないようにすることで、ICカードの情報解析を阻止するようになっている。このようにアクティブシールド用の配線5Eの電位を変化させることにより、アクティブシールドシステムの解除や動作回避を困難にできるので、ICカードの情報解析をより困難にさせることができ、ICカードのセキュ

リティ性をさらに向上させることが可能となる。なお、発振器 26 は、電源投入時に動作するようになっている。

- 5 なお、前記実施の形態 6 ～ 12 の夫々において、本実施の形態のようにアクティブシールド用の配線の電位を一定にしない構成を適用することにより、IC カードの情報解析をさらに困難にさせることができ、IC カードのセキュリティ性をさらに向上させることができる。

(実施の形態 14)

本実施の形態 14 は、アクティブシールド用の配線の電位を一定にせず、時間経過に従って変化させる場合の他の例を説明する。

- 10 本実施の形態 14 においては、アクティブシールド用の配線の電位の切り換え時間を不規則にする。図 35 は、本実施の形態 14 のアクティブシールドシステムの一例の説明図を示している。このシステムでは、乱数発生回路 28 から分周回路 29 に伝送された信号により分周回路 29 をオン (ON) またはオフ (OFF) させることにより、発振器 26 から出力された同期信号の周波数を変えるよう
- 15 になっている。すなわち、本実施の形態 14 では、発振器 26 から出力された同期信号の周波数は、分周回路 26 を介することで、不規則的に変化するようになっている。電位供給回路 25 は、分周回路 29 からの同期信号に同期して、アクティブシールド用の配線 (図 35 では配線 5E を例示) に供給される電位を変えるようになっている。したがって、本実施の形態 14 では、アクティブシールド
- 20 用の配線 5E の電位が一定時間毎に変化するのではなく不規則な時間毎に変化するようになっている。また、分周回路 29 からの同期信号は、同期信号配線 27 を通じて加工検出回路 20 にも伝送されるようになっている。加工検出回路 20 側では分周回路 29 から送られてきた同期信号に合わせて前記実施の形態 13 で説明した正否基準電位を変えるようになっている。したがって、本実施の
- 25 形態 14 では、アクティブシールド用の配線 5E の電位が不規則に変化しても、それに応じて加工検出回路 20 の正否基準電位を変えることができる。そして、加工検出回路 20 では、所定時間に検出されたアクティブシールド用の配線 5E の検出電位と、その所定時間に検出されるべき正否基準電位とを比較し、各々の電位が異なることを検出すると、前記実施の形態 13 と同様に、チップ 3 の集積

回路にリセットをかけて集積回路が動作できないようにすることで、ＩＣカードの情報解析を阻止するようになっている。このように、アクティブシールド用の配線５Ｅの電位変化のタイミングを不規則にすることにより、アクティブシールド用の配線５Ｅの電位変化のタイミングを読み取り難くすることができ、アクティブシールドシステムの解除や動作回避をより困難にできるので、ＩＣカードの情報解析をより困難にさせることができ、ＩＣカードのセキュリティ性をさらに向上させることが可能となる。また、本実施の形態１４のアクティブシールドシステムと、前記実施の形態１３のアクティブシールドシステムとを同一のチップ３に混在させて配置しても良い。これにより、チップ３内のアクティブシールドシステムの解読がさらに難しくなるので、ＩＣカードのセキュリティ性をさらに向上させることが可能となる。

なお、前記実施の形態６～１３の夫々において、本実施の形態のようにアクティブシールド用の配線の電位を一定にせず、時間経過に従って変化させる構成を適用することにより、ＩＣカードの情報解析をさらに困難にさせることができ、ＩＣカードのセキュリティ性をさらに向上させることができる。

（実施の形態１５）

本実施の形態１５は、アクティブシールド用の配線の電位を一定にせず、時間経過に従って変化させる場合のさらに他の例を説明する。

本実施の形態１５においては、アクティブシールド用の配線に所定の周波数の信号を流しておいて、その周波数の信号を検知できなかった時に、チップ３の集積回路が動作できないようにするようになっている。図３６は、本実施の形態１５の半導体装置のアクティブシールドシステムの一例を示している。発振器２６で生成された所定の周波数の信号は、アクティブシールド用の配線（図３６では配線５Ｅを例示）に伝送されている。加工検出器２０は、アクティブシールド用の配線５Ｅに所定の周波数の信号が流れている間は何ら動作することなく、アクティブシールド用の配線５Ｅの電位が直流（ＤＣ）的にハイ（ｈｉｇｈ）またはロウ（Ｌｏｗ）に固定されるとそれを検出して、チップ３の集積回路にリセットをかけて集積回路が動作できないようにすることで、ＩＣカードの情報解析を阻止するようになっている。本実施の形態１５の場合は、前記実施の形態１３、１

- 4で得られた効果の他に、以下の効果を得ることができる。すなわち、シールドシステムの構成が簡素で破壊され難い構成とされているので、アクティブシールドシステムの解除や動作回避をより困難にできるので、ICカードの情報解析をより困難にさせることができ、ICカードのセキュリティ性をさらに向上させることが可能となる。また、シールドシステムの構成が簡素なので、半導体装置の製造プロセスが複雑になることもない。さらに、前記実施の形態13、14に比べてアクティブシールドシステム用の素子や配線の配置面積を低減できる。また、本実施の形態15のアクティブシールドシステムと、前記実施の形態13、14のアクティブシールドシステムとを同一のチップ3に混在させて配置しても良い。これにより、チップ3内のアクティブシールドシステムの解読がさらに難しくなるので、ICカードのセキュリティ性をさらに向上させることが可能となる。
- 5
- 10
- 15
- ICカードのセキュリティ性をさらに向上させることができる。

(実施の形態16)

- 本実施の形態16では、同一の配線層に異なるアクティブシールド用の配線を配置した場合を説明する。図37は、本実施の形態16のアクティブシールド用の配線5C、5D、5Eの配置の一例を示している。本実施の形態16では、チップ3の同一配線層に形状の異なるアクティブシールド用の配線5C、5D、5Eが配置されている。配線5C、5D、5Eの形状は、前記実施の形態8～10等で説明したのと同じである。また、配線5C、5Dの配置は前記実施の形態8、10等で説明したのと同じである。配線5Eは、配線5C、5Dの隣接間の隙間に配置され、下層の信号用の配線18や素子を覆い隠すように配置されている。
- 20
- 25
- 配線5C、5D、5Eの各々には前記実施の形態8～10と同様に複数の加工検出回路20が電気的に接続されている。本実施の形態16においてもICカードのセキュリティ性を向上させることが可能となる。

なお、前記実施の形態6～15の夫々において、本実施の形態のように同一の配線層に異なるアクティブシールド用の配線を配置した構成を適用することに

より、ICカードの情報解析をさらに困難にさせることができ、ICカードのセキュリティ性をさらに向上させることができる。

(実施の形態17)

5 本実施の形態17では、シールドエリアが複数のサブシールドエリアに細分化されている場合の他の例について説明する。図38は、シールド領域SAの一例の平面図を示している。なお、Xa1, Xa2, ... Xa6はX座標を示し、Ya1, Ya2, ... Ya6はY座標を示している。

10 本実施の形態17においても、シールドエリアSAが複数のサブシールドエリアSSAに細分化されている。ただし、各サブシールド領域SSAは、互いに面積が異なっており、形状も種々のものが不規則に配置されている。このため、シールドエリアSAのサブシールドエリアSSAの配置構成は、上下および左右が非対称となっている。各サブシールドエリアSSAには、前記実施の形態10と同様に互いに形状の異なるアクティブシールド用の配線が配置されている。これにより、アクティブシールドシステムの解読を難しくすることができるので、IC
15 Cカードのセキュリティ性を向上させることが可能となる。

なお、前記実施の形態6～16の夫々において、本実施の形態のようにシールドエリアが複数のサブシールドエリアに細分化されている構成を適用することにより、ICカードの情報解析をさらに困難にさせることができ、ICカードのセキュリティ性をさらに向上させることができる。

20 (実施の形態18)

本実施の形態18では、シールドエリアが複数のサブシールドエリアに細分化されている場合の他の例について説明する。

25 本実施の形態18では、ICカードを構成するチップ毎にあるいは半導体装置の製造毎にシールドエリアの細分化構成を変える。図39は、シールドエリアSAの一例の平面図を示している。図39でも前記図38と同様にシールドエリアSAが複数のサブシールドエリアSSAに細分化されているが、各サブシールドエリアSSAの形状や配置が前記図38と異なっている。本実施の形態18では、同じウエハの中でも、あるチップに対しては図38のシールドエリアSAを用い、他のチップに対しては図39のシールドエリアSAを用いる。あるいは、あるウ

- エハ内の全てのチップに対しては、図38のシールドエリアSAを用い、他のウエハ内の全てのチップに対しては、図39のシールドエリアSAを用いる。このようにすることで、1つのチップのシールドシステムを解読したからといって他のチップのシールドシステムがそのまま解読できる訳でもなくなる。したがって、
- 5 アクティブシールドシステムの解読を難しくすることができるので、ICカードのセキュリティ性を向上させることが可能となる。

- なお、前記実施の形態6～17の夫々において、本実施の形態のようにシールドエリアが複数のサブシールドエリアに細分化されている構成を適用することにより、ICカードの情報解析をさらに困難にさせることができ、ICカードの
- 10 セキュリティ性をさらに向上させることができる。

(実施の形態19)

- 本実施の形態19では、異なるシールドエリアを多層に重ねる場合の他の例について説明する。すなわち、図38および図39の各々のシールドエリアSAのアクティブシールド用の配線をチップ3の同一平面位置の異なる配線層に配置
- 15 する。これにより、平面で見たときにアクティブシールド配線の重なり方をさらに複雑にすることができるので、アクティブシールドシステムの解読を難しくすることができる。このため、ICカードのセキュリティ性を向上させることが可能となる。

- また、異なる配線層のアクティブシールド用の配線同士を、スルーホール等を通じて電氣的に接続しても良い。スルーホールは、異なる配線層間に介在される層間絶縁膜に開口された微細な孔であり、その内部には接続導体が埋め込まれている。この場合に、そのスルーホールの配置位置をチップ毎に種々変えることにより、設計上およびプロセス上、比較的簡単な方法でアクティブシールドシステムの配線経路を変更することができる。すなわち、一見するとアクティブシールド用の配線の平面レイアウトは同じでも、スルーホールの配置の仕方の違いによりアクティブシールドシステムの配線経路は全く別のものになっている。しかも、スルーホールは微細なため平面で見ただけでは配線経路の探索が難しいので、アクティブシールドシステムの解読を難しくすることができる。したがって、IC
- 20
- 25
- カードのセキュリティ性を向上させることが可能となる。

なお、前記実施の形態 6～18 の夫々において、本実施の形態のように異なるシールドエリアを多層に重ねる構成を適用することにより、ICカードの情報解析をさらに困難にさせることができ、ICカードのセキュリティ性をさらに向上させることができる。

- 5 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

- 10 例えば前記実施の形態 6，7 においては、加工検出回路の加工検出用の配線が切断された場合に加工検出が行われる場合について説明したが、これに限定されるものではなく、例えばその加工検出用の配線が完全に切断されず一部が切断され部分的に接続されている場合であっても、その加工によって加工検出用の配線の電位が変動することを利用して、その電位変動を検出することで、集積回路をリセット動作をさせるようにしても良い。

- 15 また、前記実施の形態 1～7 においては、チップ内の情報の授受をパッケージ基板の裏面の電極を通じて行う、いわゆる接触型の IC カードに本発明を適用した場合について説明したが、これに限定されるものではなく種々適用可能であり、例えばカード本体内にコイル（アンテナ）を備え、電波を利用してリーダライタと非接触でデータの読み書きを行う、いわゆる非接触型の IC カードに本発明を適用することもできる。

- 20 また、前記実施の形態 1～19 の夫々を、他の前記実施の形態 1～19 の一つ又は複数と組み合わせることにより、ICカードの情報解析をさらに困難にさせることができ、ICカードのセキュリティ性をさらに向上させることができる。

また、前記実施の形態 1～19 は、図に示す配線構造に限定されず、5 層～10 層の金属多層配線構造で構成してもよいのは無論である。

- 25 以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である IC カードに適用した場合について説明したが、それに限定されるものではなく、例えば情報を記憶する半導体装置を有するもの全般に適用できる。

このような本実施の形態をまとめると、半導体チップ 3 の集積回路に駆動電圧

- を供給する電源電圧供給用の配線 5 A, 5 B を、半導体チップ 3 の主面を覆うように配置し、半導体チップ 3 に記憶された情報を解析するために配線 5 A, 5 B を除去してしまうと集積回路が動作せず、情報解析ができないような構成としたものである。このように、半導体チップの上層に配置された所定の配線を除去または切断すると、前記半導体チップに記憶された情報を解析することが不可能となるようにしたことにより、半導体装置に記憶された情報のセキュリティ性を向上させることが可能となる。
- 5

- また、配線 5 A, 5 B の加工を検出する加工検出回路 20 を設ける。加工検出回路 20 が配線 5 A, 5 B の加工を検出すると、集積回路にリセットをかけるように構成する。このような加工検出回路を設けたことにより、前記半導体チップに記憶された情報を解析することが不可能となるので、半導体装置に記憶された情報のセキュリティ性を向上させることが可能となる。
- 10

産業上の利用可能性

- 15 本発明は、例えば電子マネー、クレジットカード、携帯電話、有料衛星放送受信機、身分証明書、免許書、保険証、電子カルテ、電子乗車券、金融、流通、医療、交通、運輸または教育等における各種の情報を記憶する媒体として用いる半導体装置として有用であり、特に IC カードに用いるのに適している。

請求の範囲

1. 以下の構成を有することを特徴とする半導体装置；
 - (a) 半導体チップの主面に形成され、情報の記憶に寄与する第1の素子、
 - 5 (b) 前記半導体チップの主面に形成された第2の素子、
 - (c) 前記半導体チップの主面上に配置された所望の信号配線、
 - (d) 前記第1、第2の素子の駆動に寄与する電源電圧用の配線であって、切断または除去しないと情報解析ができないように、前記所望の信号配線よりも上層に配置された電源電圧用の配線。
- 10 2. 以下の構成を有することを特徴とする半導体装置；
 - (a) 半導体チップの主面に形成され、情報の記憶に寄与する第1の素子、
 - (b) 前記半導体チップの主面に形成された第2の素子、
 - (c) 前記半導体チップの主面上に配置された所望の信号配線、
 - (d) 前記第1、第2の素子の駆動に寄与する電源電圧用の配線であって、前記
 - 15 所望の信号配線よりも上層に、前記半導体チップの主面を覆うように配置された電源電圧用の配線。
3. 以下の構成を有することを特徴とする半導体装置；
 - (a) 半導体チップの主面に形成され、情報の記憶に寄与する第1の素子、
 - (b) 前記半導体チップの主面に形成された第2の素子、
 - 20 (c) 前記半導体チップの主面上に配置された所望の信号配線、
 - (d) 前記第1、第2の素子の駆動に寄与する電源電圧用の配線であって、前記所望の信号配線よりも上層に、前記所望の信号配線を覆うように部分的に配置された電源電圧用の配線。
4. 請求項1、2または3記載の半導体装置において、
- 25 前記電源電圧用の配線は、切断または除去されると前記第1の素子または第2の素子に対して電源電圧が供給されず回路が動作しないことを特徴とする半導体装置。
5. 請求項1、2、3または4記載の半導体装置において、
前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電

圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有しており、

- 前記高電位側の電源電圧用の配線と、前記低電位側の電源電圧用の配線とは、互いの隙間に介在されるように平面的にずれて配置されていることを特徴とする半導体装置。
- 5

6. 請求項 1、2、3、4 または 5 記載の半導体装置において、

前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有しており、

- 10 前記高電位側の電源電圧用の配線と、前記低電位側の電源電圧用の配線とは、櫛歯状に形成され、その互いの歯がかみ合うように平面的に配置されていることを特徴とする半導体装置。

7. 請求項 1、2、3、4 または 5 記載の半導体装置において、

- 15 前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有しており、

前記高電位側の電源電圧用の配線と、前記低電位側の電源電圧用の配線とは、格子状に形成され、その互いの隙間に介在されるように平面的に配置されていることを特徴とする半導体装置。

- 20 8. 請求項 1、2、3 または 4 記載の半導体装置において、

前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有しており、

- 25 前記高電位側の電源電圧用の配線と、前記低電位側の電源電圧用の配線とは、ベタ配線とされていることを特徴とする半導体装置。

9. 以下の構成を有することを特徴とする半導体装置；

- (a) 半導体チップの主面に形成され、情報の記憶に寄与する第 1 の素子、
- (b) 前記半導体チップの主面上に配置された所望の信号配線、
- (c) 前記所望の信号配線の上層に配置された第 1 の配線が切断されると、それ

を検出して第 1 の素子の情報解析を不可能とする検出回路。

10. 以下の構成を有することを特徴とする半導体装置；

(a) 半導体チップに形成された第 1 の配線、

(b) 前記第 1 の配線の電位変化を検出する検出回路。

5 11. 請求項 9 または 10 記載の半導体装置において、前記第 1 の配線は、電源電圧用の配線であることを特徴とする半導体装置。

12. 請求項 11 記載の半導体装置において、前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有していることを特徴とする半導体装置。

10 13. 請求項 11 または 12 記載の半導体装置において、前記電源電圧用の配線は、1 本の配線が前記所望の信号配線を覆うように所定の形状に配置されることで構成されていることを特徴とする半導体装置。

14. 請求項 11 または 12 記載の半導体装置において、前記電源電圧用の配線
15 は、切断されると切断された配線同士が完全に絶縁されるように 1 本の配線で構成されていることを特徴とする半導体装置。

15. 請求項 9 ～ 14 のいずれか 1 項に記載の半導体装置において、前記検出回路は、前記半導体チップの主面内に分散配置されていることを特徴とする半導体装置。

20 16. 請求項 15 記載の半導体装置において、前記検出回路は、前記半導体チップの主面の回路ブロック領域に配置されていることを特徴とする半導体装置。

17. 請求項 15 または 16 記載の半導体装置において、前記検出回路は、前記半導体チップの主面の配線領域に配置されていることを特徴とする半導体装置。

18. 請求項 12 ～ 14 のいずれか 1 項に記載の半導体装置において、前記電源
25 電圧用の配線は、前記検出回路を駆動するための電源電圧を供給する電源電圧用の配線とは異なることを特徴とする半導体装置。

19. 請求項 9 ～ 18 のいずれか 1 項に記載の半導体装置において、前記検出回路のうち、所定の検出回路の入力配線は、他の検出回路の電源電圧用の配線とされていることを特徴とする半導体装置。

20. 以下の構成を有することを特徴とする半導体装置；
- (a) 半導体チップの主面に形成され、情報の記憶に寄与する第1の素子、
 - (b) 前記半導体チップの主面に形成された第2の素子、
 - (c) 前記半導体チップの主面上に配置された所望の信号配線、
- 5 (d) 前記第1、第2の素子の駆動に寄与する電源電圧用の配線であって、切断されると前記第1、第2の素子が駆動しないように、切断された配線同士が完全に絶縁されるように1本の配線で構成され、前記所望の信号配線を覆うように、その所望の信号配線よりも上層に配置された電源電圧用の配線。
21. 以下の構成を有することを特徴とするICカード；
- 10 (a) 半導体チップの主面に形成され、情報の記憶に寄与する第1の素子、
 - (b) 前記半導体チップの主面に形成された第2の素子、
 - (c) 前記半導体チップの主面上に配置された所望の信号配線、
 - (d) 前記第1、第2の素子の駆動に寄与する電源電圧用の配線であって、切断または除去しないと情報解析できないように、前記所望の信号配線よりも上層に
- 15 配置された電源電圧用の配線、
- (e) 前記半導体チップを封止するパッケージ、
 - (f) 前記パッケージを溝内に収容する板状のカード本体。
22. 以下の構成を有することを特徴とするICカード；
- (a) 半導体チップの主面に形成され、情報の記憶に寄与する第1の素子、
 - 20 (b) 前記半導体チップの主面に形成された第2の素子、
 - (c) 前記半導体チップの主面上に配置された所望の信号配線、
 - (d) 前記第1、第2の素子の駆動に寄与する電源電圧用の配線であって、前記所望の信号配線よりも上層に、前記半導体チップの主面を覆うように配置された電源電圧用の配線、
- 25 (e) 前記半導体チップを封止するパッケージ、
- (f) 前記パッケージを溝内に収容する板状のカード本体。
23. 以下の構成を有することを特徴とするICカード；
- (a) 半導体チップの主面に形成され、情報の記憶に寄与する第1の素子、
 - (b) 前記半導体チップの主面に形成された第2の素子、

(c) 前記半導体チップの主面上に配置された所望の信号配線、

(d) 前記第 1、第 2 の素子の駆動に寄与する電源電圧用の配線であって、前記所望の信号配線よりも上層に、前記所望の信号配線を覆うように部分的に配置された電源電圧用の配線、

5 (e) 前記半導体チップを封止するパッケージ、

(f) 前記パッケージを溝内に収容する板状のカード本体。

24. 以下の構成を有することを特徴とする IC カード；

(a) 半導体チップの主面に形成され、情報の記憶に寄与する第 1 の素子、

(b) 前記半導体チップの主面に形成された第 2 の素子、

10 (c) 前記半導体チップの主面上に配置された所望の信号配線、

(d) 前記第 1、第 2 の素子の駆動に寄与する電源電圧用の配線であって、前記電源電圧用の配線は、切断または除去されると第 1 の素子または第 2 の素子に対して電源電圧が供給されず回路が動作しないことを特徴とする IC カード。

25. 請求項 21、22、23 または 24 記載の IC カードにおいて、

15 前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有しており、

前記高電位側の電源電圧用の配線と、前記低電位側の電源電圧用の配線とは、互いの隙間に介在されるように平面的にずれて配置されていることを特徴とする IC カード。

26. 請求項 21、22、23、24 または 25 記載の IC カードにおいて、

前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有しており、

25 前記高電位側の電源電圧用の配線と、前記低電位側の電源電圧用の配線とは、櫛歯状に形成され、その互いの歯がかみ合うように平面的に配置されていることを特徴とする IC カード。

27. 請求項 21、22、23、24 または 25 記載の IC カードにおいて、

前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電

圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有しており、

前記高電位側の電源電圧用の配線と、前記低電位側の電源電圧用の配線とは、格子状に形成され、その互いの隙間に介在されるように平面的に配置されていることを特徴とするＩＣカード。

5

２８．請求項２１、２２または２３記載のＩＣカードにおいて、

前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有しており、

１０ 前記高電位側の電源電圧用の配線と、前記低電位側の電源電圧用の配線とは、ベタ配線とされていることを特徴とするＩＣカード。

２９．以下の構成を有することを特徴とするＩＣカード；

(a) 半導体チップの主面に形成され、情報の記憶に寄与する第１の素子、

(b) 前記半導体チップの主面に形成された第２の素子、

１５ (c) 前記半導体チップの主面上に配置された所望の信号配線、

(d) 前記所望の信号配線の上層に配置された第１の配線が切断されると、それを検出して第１の素子の情報解析を不可能とする検出回路、

(e) 前記半導体チップを封止するパッケージ、

(f) 前記パッケージを溝内に収容する板状のカード本体。

２０ ３０．以下の構成を有することを特徴とするＩＣカード；

(a) 半導体チップに形成された第１の配線、

(b) 前記第１の配線の電位変化を検出する検出回路、

(c) 前記半導体チップを封止するパッケージ、

(d) 前記パッケージを溝内に収容する板状のカード本体。

２５ ３１．請求項２９または３０記載のＩＣカードにおいて、前記第１の配線は、電源電圧用の配線であることを特徴とするＩＣカード。

３２．請求項３１記載のＩＣカードにおいて、前記電源電圧用の配線は、相対的に高い電源電圧を供給する高電位側の電源電圧用の配線と、相対的に低い電源電圧を供給する低電位側の電源電圧用の配線とを有していることを特徴とするＩ

Cカード。

33. 請求項31または32記載のICカードにおいて、前記電源電圧用の配線は、一本の配線が前記所望の信号配線を覆うように所定の形状に配置されることで構成されていることを特徴とするICカード。

- 5 34. 請求項31または32記載のICカードにおいて、前記電源電圧用の配線は、切断されると切断された配線同士が完全に絶縁されるように一本の配線で構成されていることを特徴とするICカード。

35. 請求項29～34のいずれか1項に記載のICカードにおいて、前記検出回路は、前記半導体チップの主面内に分散配置されていることを特徴とするIC
10 カード。

36. 請求項35記載のICカードにおいて、前記検出回路は、前記半導体チップの主面の回路ブロック領域に配置されていることを特徴とするICカード。

37. 請求項35記載のICカードにおいて、前記検出回路は、前記半導体チップの主面の配線領域に配置されていることを特徴とするICカード。

- 15 38. 請求項31～34のいずれか1項に記載のICカードにおいて、前記電源電圧用の配線は、前記検出回路を駆動するための電源電圧を供給する電源電圧用の配線とは異なることを特徴とするICカード。

39. 請求項29～38のいずれか1項に記載のICカードにおいて、前記検出回路のうち、所定の検出回路の入力配線は、他の検出回路の電源電圧用の配線と
20 されていることを特徴とするICカード。

40. 以下の構成を有することを特徴とするICカード；

- (a) 半導体チップの主面に形成され、情報の記憶に寄与する第1の素子、
- (b) 前記半導体チップの主面に形成された第2の素子、
- (c) 前記半導体チップの主面上に配置された所望の信号配線、
- 25 (d) 前記第1、第2の素子の駆動に寄与する電源電圧用の配線であって、切断されると前記第1、第2の素子が駆動しないように、切断された配線同士が完全に絶縁されるように1本の配線で構成され、前記所望の信号配線を覆うように、その所望の信号配線よりも上層に配置された電源電圧用の配線、
- (e) 前記半導体チップを封止するパッケージ、

- (f) 前記パッケージを溝内に収容する板状のカード本体。
- 4 1. 半導体チップの集積回路に駆動電圧を供給する電源電圧供給用の配線を、前記配線が除去されると集積回路が動作しないように構成したことを特徴とする半導体装置。
- 5 4 2. 半導体チップの集積回路に駆動電圧を供給する電源電圧供給用の配線の加工を検出する検出回路を有することを特徴とする半導体装置。
- 4 3. 以下の構成を有することを特徴とする半導体装置；
- (a) 半導体チップの主面上に配置された第 1 の領域、
- (b) 前記第 1 の領域に配置された第 1 の配線、
- 10 (c) 前記第 1 の配線の加工を検出する検出回路。
- 4 4. 請求項 4 3 記載の半導体装置において、前記第 1 の配線が配置された配線層とは異なる配線層に、前記第 1 の配線に対して平面的に重なるように前記第 1 の領域に前記半導体チップの集積回路の駆動に寄与する電源電圧用の配線を配置したことを特徴とする半導体装置。
- 15 4 5. 請求項 4 4 記載の半導体装置において、前記電源電圧用の配線のパターンの隣接間の隙間に該当する平面位置に、前記第 1 の配線のパターンを配置したことを特徴とする半導体装置。
- 4 6. 請求項 4 3、4 4 または 4 5 記載の半導体装置において、前記第 1 の領域に形状の異なる前記第 1 の配線を配置し、その各々の第 1 の配線を同一の配線層
- 20 に配置したことを特徴とする半導体装置。
- 4 7. 請求項 4 6 記載の半導体装置において、前記第 1 の配線のパターンの隣接間の隙間に、他の第 1 の配線のパターンが介在されるように、前記形状の異なる前記第 1 の配線を配置したことを特徴とする半導体装置。
- 4 8. 請求項 4 3、4 4、4 5 または 4 6 記載の半導体装置において、前記第 1
- 25 の領域は複数の第 2 の領域に分けられており、その各々の第 2 の領域に配置された前記第 1 の配線の形状が互いに異なることを特徴とする半導体装置。
- 4 9. 請求項 4 3、4 4、4 5 または 4 6 記載の半導体装置において、前記第 1 の領域は複数の第 2 の領域に分けられており、前記複数の第 2 の領域のうちの所定の第 2 の領域に配置された第 1 の配線と、他の第 2 の領域に配置された第 1 の

配線とは形状が異なることを特徴とする半導体装置。

50. 請求項43、44、45、46または47記載の半導体装置において、前記第1の領域は複数の第2の領域に分けられており、前記複数の第2の領域の所定の第2の領域に前記第1の配線を配置し、他の第2の領域に前記他の第2の領域を覆うように前記半導体チップの集積回路の駆動に寄与する電源電圧用の配線を配置したことを特徴とする半導体装置。

51. 請求項50記載の半導体装置において、前記第1の配線と、前記電源電圧用の配線とを同一の配線層に配置したことを特徴とする半導体装置。

52. 請求項43～51のいずれか1項に記載の半導体装置において、前記第1の配線に対して複数の前記検出回路を電氣的に接続したことを特徴とする半導体装置。

53. 請求項43～52のいずれか1項に記載の半導体装置において、前記検出回路を、その検出回路が接続される第1の配線の位置に対して不規則な位置に配置したことを特徴とする半導体装置。

54. 請求項43～53のいずれか1項に記載の半導体装置において、前記第1の配線の幅および配線ピッチを、前記半導体チップの集積回路を構成する配線の幅およびピッチと同様としたことを特徴とする半導体装置。

55. 請求項43～54のいずれか1項に記載の半導体装置において、前記第1の配線の電位を変化させたことを特徴とする半導体装置。

56. 請求項43～55のいずれか1項に記載の半導体装置において、前記第1の配線の電位を不規則的に変化させたことを特徴とする半導体装置。

57. 請求項43～54のいずれか1項に記載の半導体装置において、前記第1の配線に所定の周波数の信号を流し、その所定の周波数の信号を前記検出回路で検知させるようにしたことを特徴とする半導体装置。

58. 請求項43～57のいずれか1項に記載の半導体装置において、前記第1の配線は、前記半導体チップの集積回路を構成する所望の信号配線よりも上層の配線層に配置されていることを特徴とする半導体装置。

59. 以下の構成を有することを特徴とする半導体装置；

(a) 半導体チップの主面上に配置された第1の領域、

- (b) 前記第 1 の領域を分けることで形成される複数の第 2 の領域、
 - (c) 前記複数の第 2 の領域のうちの所定の第 2 の領域に配置された第 1 の配線、
 - (d) 前記半導体チップの集積回路の駆動に寄与する電源電圧用の配線であって、前記複数の第 2 の領域のうちの他の第 2 の領域を覆うように、前記他の第 2 領域
- 5 に配置された電源電圧用の配線、
- (e) 前記第 1 の配線の加工を検出する検出回路。
- 6 0. 以下の構成を有することを特徴とする半導体装置；
- (a) 半導体チップの主面上に配置された第 1 の領域、
 - (b) 前記第 1 の領域に配置された第 1 の配線、
- 10 (c) 前記半導体チップの集積回路の駆動に寄与する電源電圧用の配線であって、前記第 1 の配線が配置された配線層とは異なる配線層に、前記第 1 の配線と平面的に重なるように前記第 1 の領域に配置された電源電圧用の配線、
- (d) 前記第 1 の配線の加工を検出する検出回路。
- 6 1. 半導体装置において、
- 15 (a) 半導体チップの主面上に配置された第 1 の領域、
- (b) 前記第 1 の領域に配置された第 1 の配線、
 - (c) 前記第 1 の配線の加工を検出する検出回路を有し、
- 前記第 1 の配線には、複数の前記検出回路が電氣的に接続されていることを特徴とする半導体装置。
- 20 6 2. 請求項 6 1 記載の半導体装置において、前記複数の検出回路の前記第 1 の配線に対する接続位置を不規則にしたことを特徴とする半導体装置。
- 6 3. 半導体装置において、
- (a) 半導体チップの主面上に配置された第 1 の領域、
 - (b) 前記第 1 の領域に配置された第 1 の配線、
- 25 (c) 前記第 1 の配線の加工を検出する検出回路を有し、
- 前記第 1 の領域には、形状の異なる前記第 1 の配線が配置されていることを特徴とする半導体装置。
- 6 4. 請求項 6 3 記載の半導体装置において、前記形状の異なる第 1 の配線は、前記第 1 の領域の同一領域内に混在して配置されていることを特徴とする半導

体装置。

65. 請求項63記載の半導体装置において、前記形状の異なる第1の配線は、前記第1の領域の異なる領域に配置されていることを特徴とする半導体装置。

66. 半導体装置において、

- 5 (a) 半導体チップの主面上に配置された第1の領域、
(b) 前記第1の領域を分けることで形成される複数の第2の領域、
(c) 前記複数の第2の領域毎に配置された第1の配線、
(d) 前記第1の配線の加工を検出する検出回路を有し、

10 前記検出回路は、その検出回路が接続された第1の配線を有する第2の領域との位置関係が不規則となるように配置されていることを特徴とする半導体装置。

67. 半導体装置において、

- (a) 半導体チップの主面上に配置された第1の領域、
(b) 前記第1の領域に配置された第1の配線、
(c) 前記第1の配線の加工を検出する検出回路を有し、
15 前記第1の配線の幅および配線ピッチを、前記半導体チップの集積回路を構成する配線の幅および配線ピッチと同様にしたことを特徴とする半導体装置。

68. 半導体装置において、

- (a) 半導体チップの主面上に配置された第1の領域、
(b) 前記第1の領域に配置された第1の配線、
20 (c) 前記第1の配線の加工を検出する検出回路を有し、
前記第1の配線の電位を変化させたことを特徴とする半導体装置。

69. 半導体装置において、

- (a) 半導体チップの主面上に配置された第1の領域、
(b) 前記第1の領域に配置された第1の配線、
25 (c) 前記第1の配線の加工を検出する検出回路を有し、
前記第1の配線の電位を不規則的に変化させたことを特徴とする半導体装置。

70. 半導体装置において、

- (a) 半導体チップの主面上に配置された第1の領域、
(b) 前記第1の領域に配置された第1の配線、

(c) 前記第 1 の配線の加工を検出する検出回路を有し、

前記第 1 の配線に所定の周波数の信号を流し、その所定の周波数の信号を前記検出回路で検知させるようにしたことを特徴とする半導体装置。

図 1

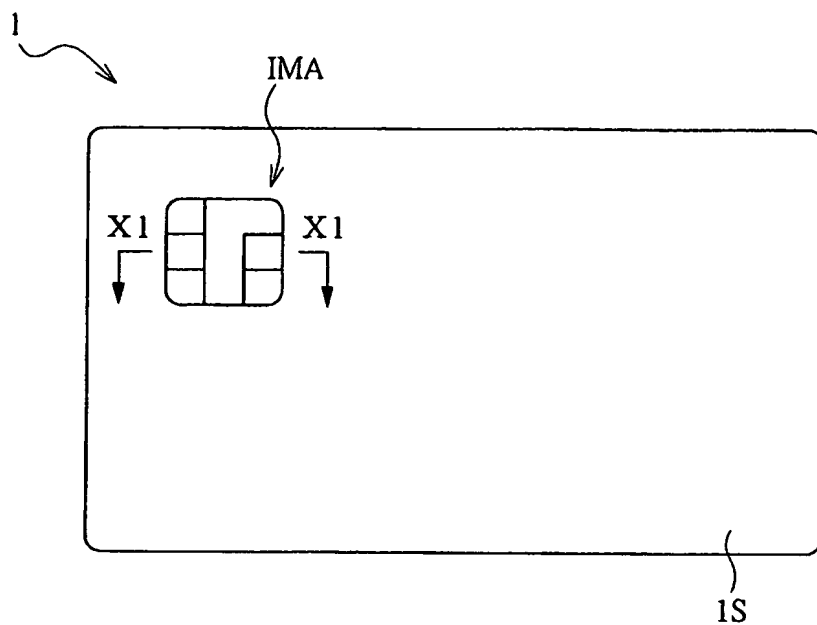
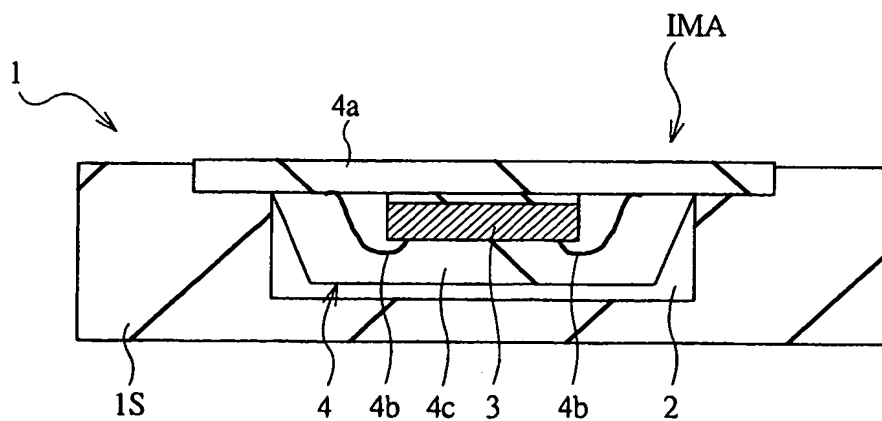
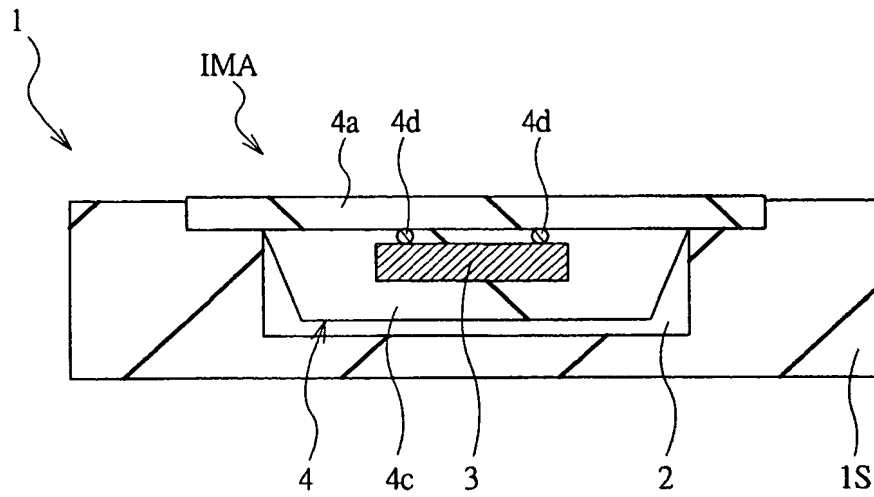


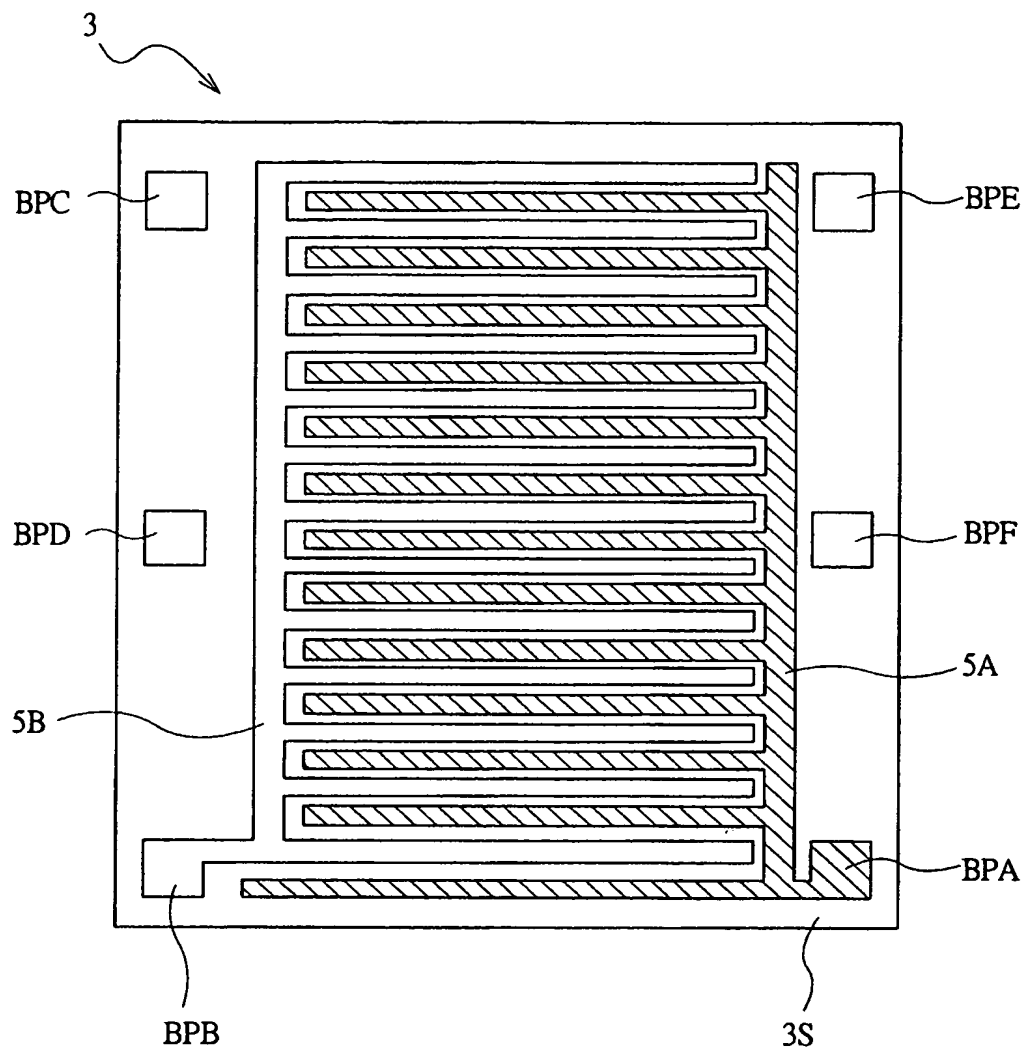
図 2



3



4



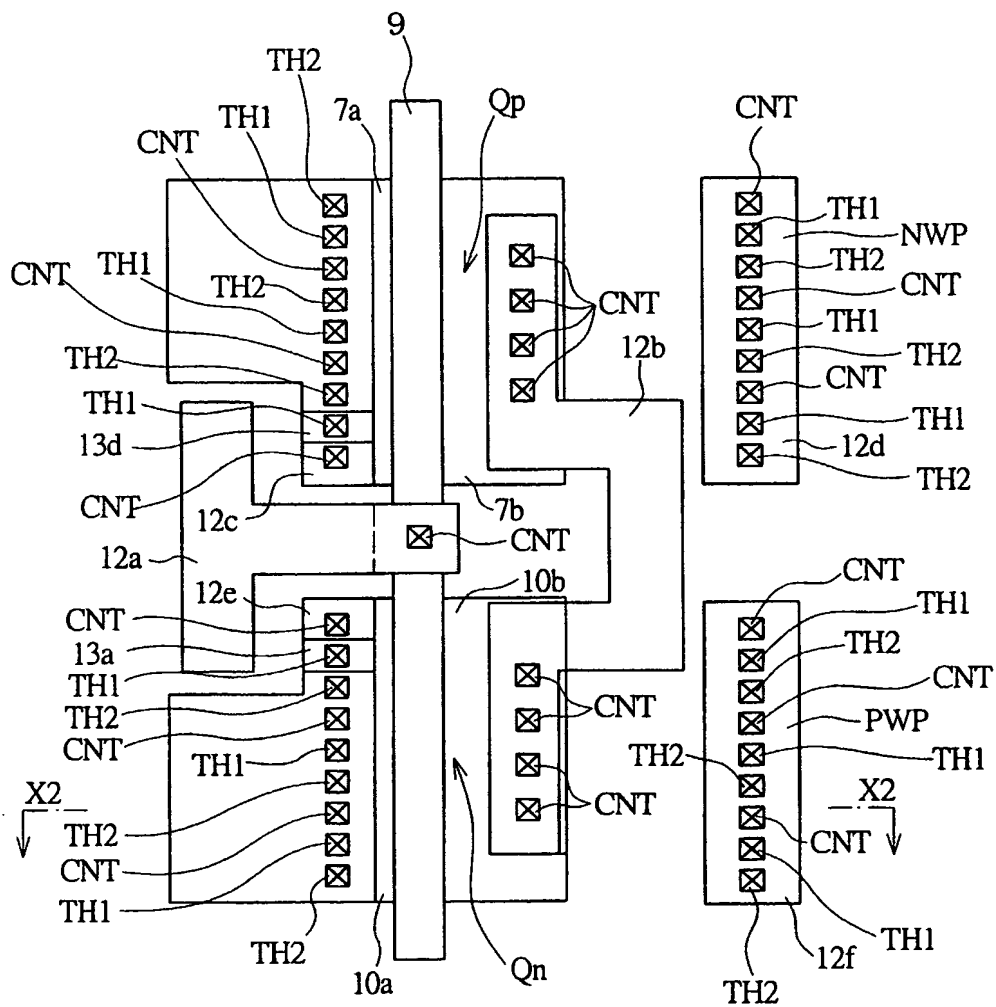


図 6

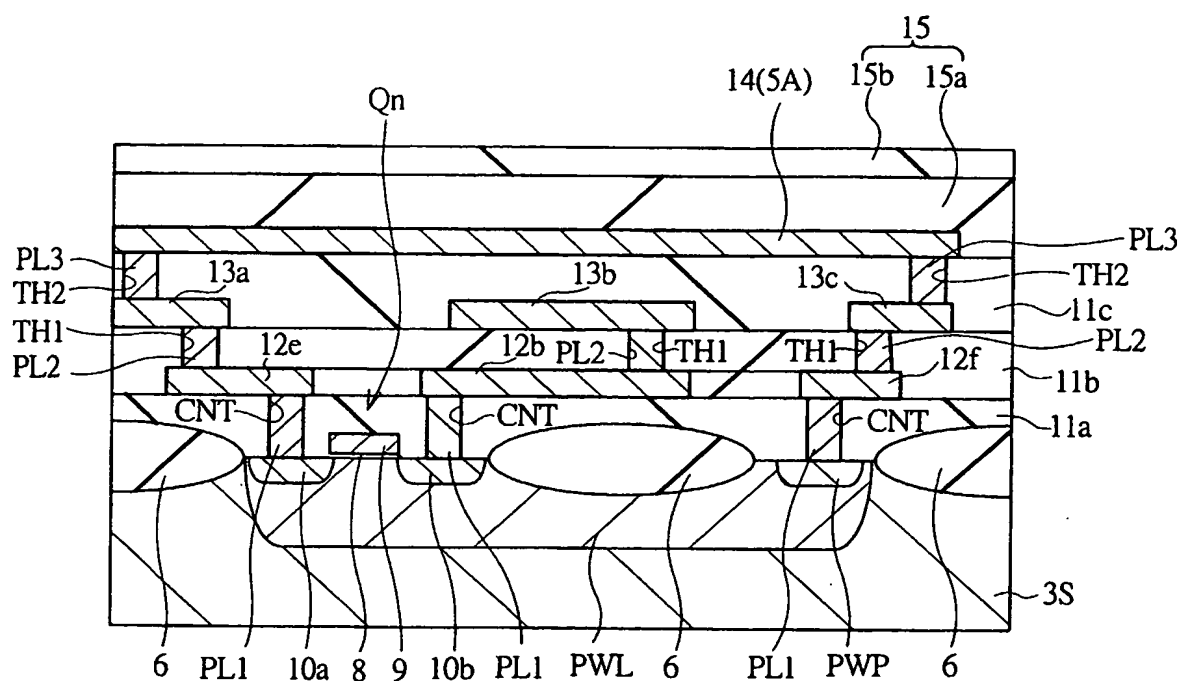
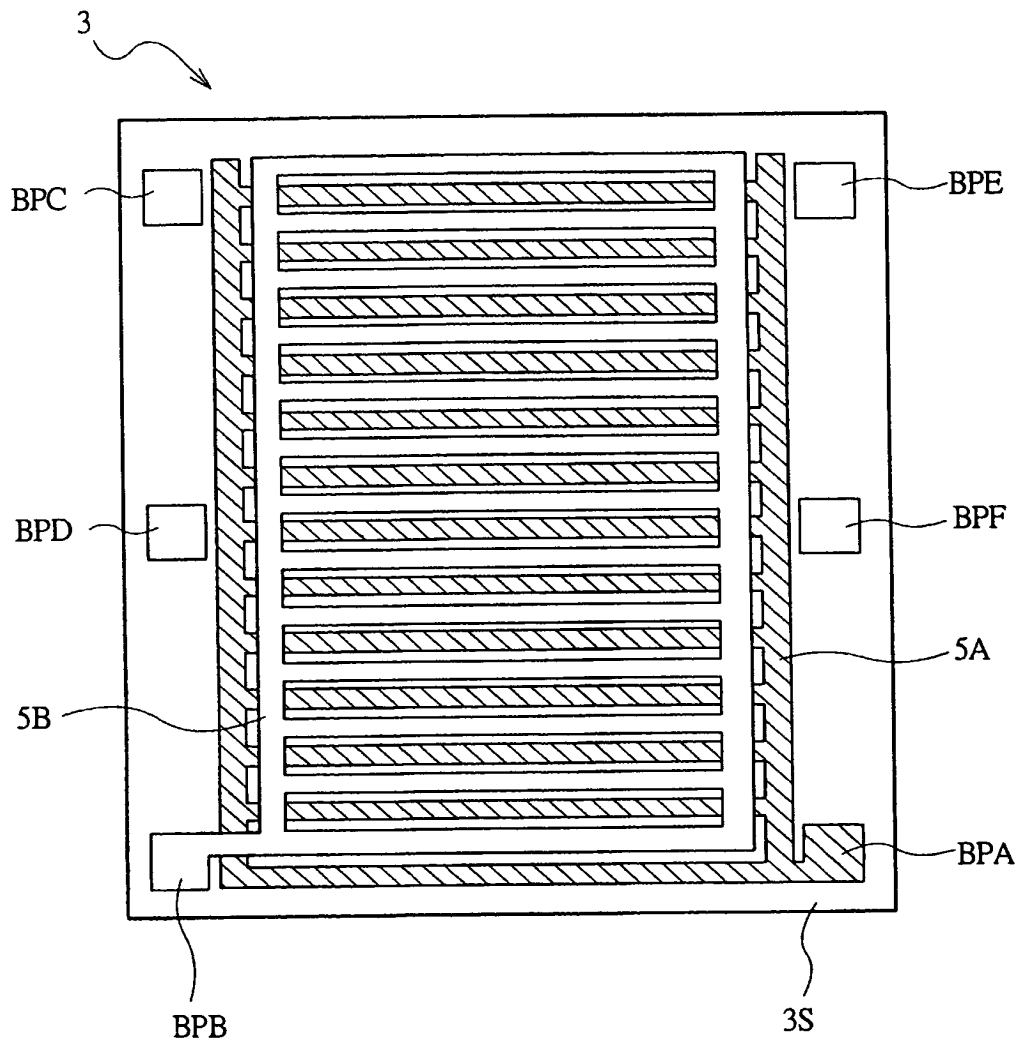


図 7



8

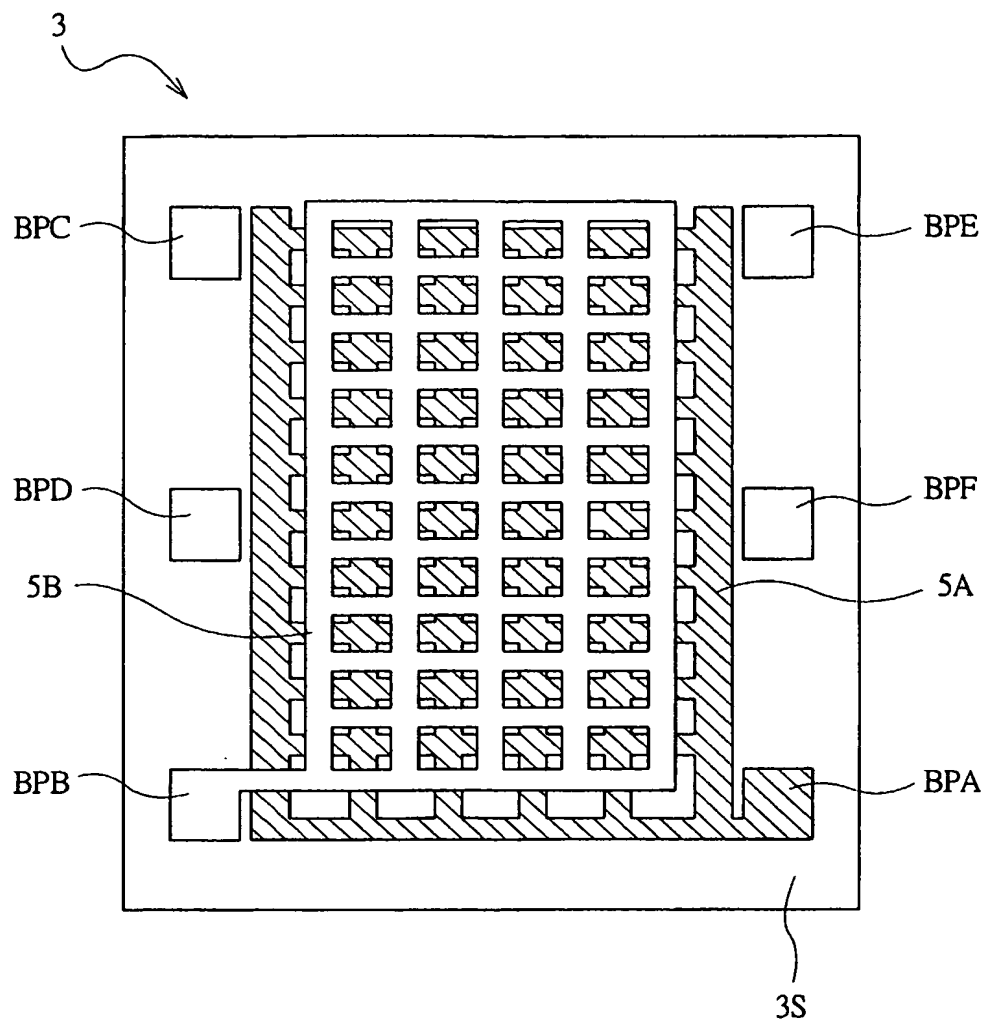


図 9

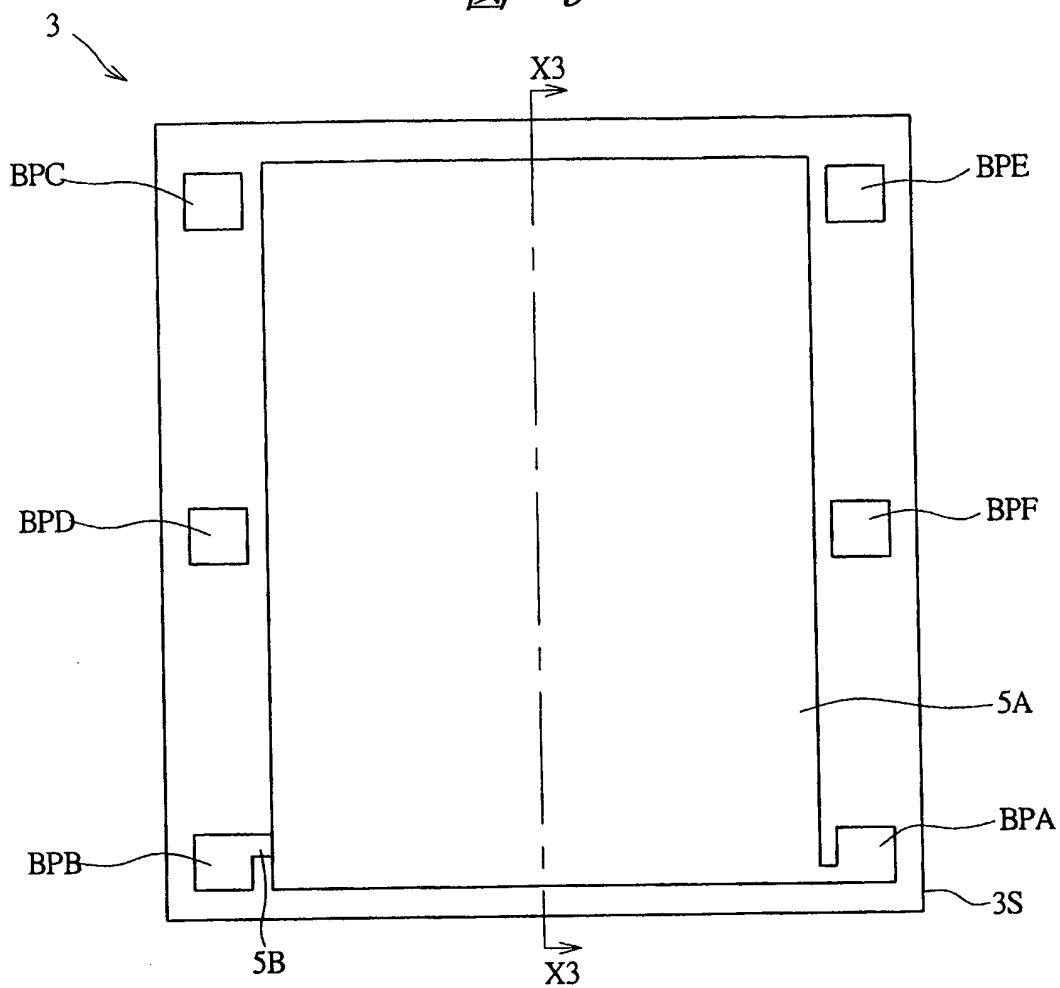
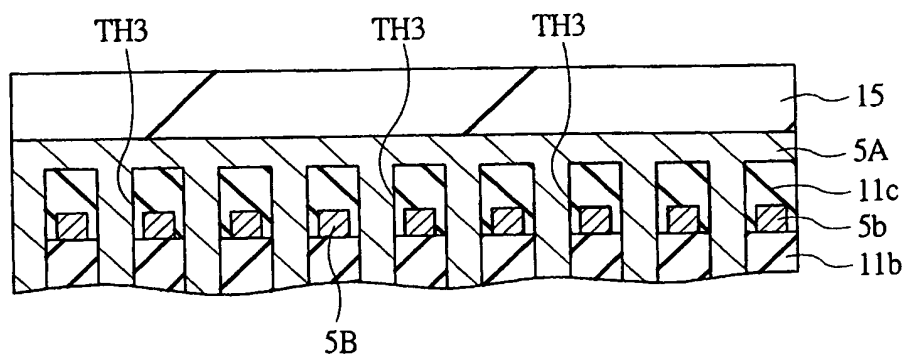


図 10



11

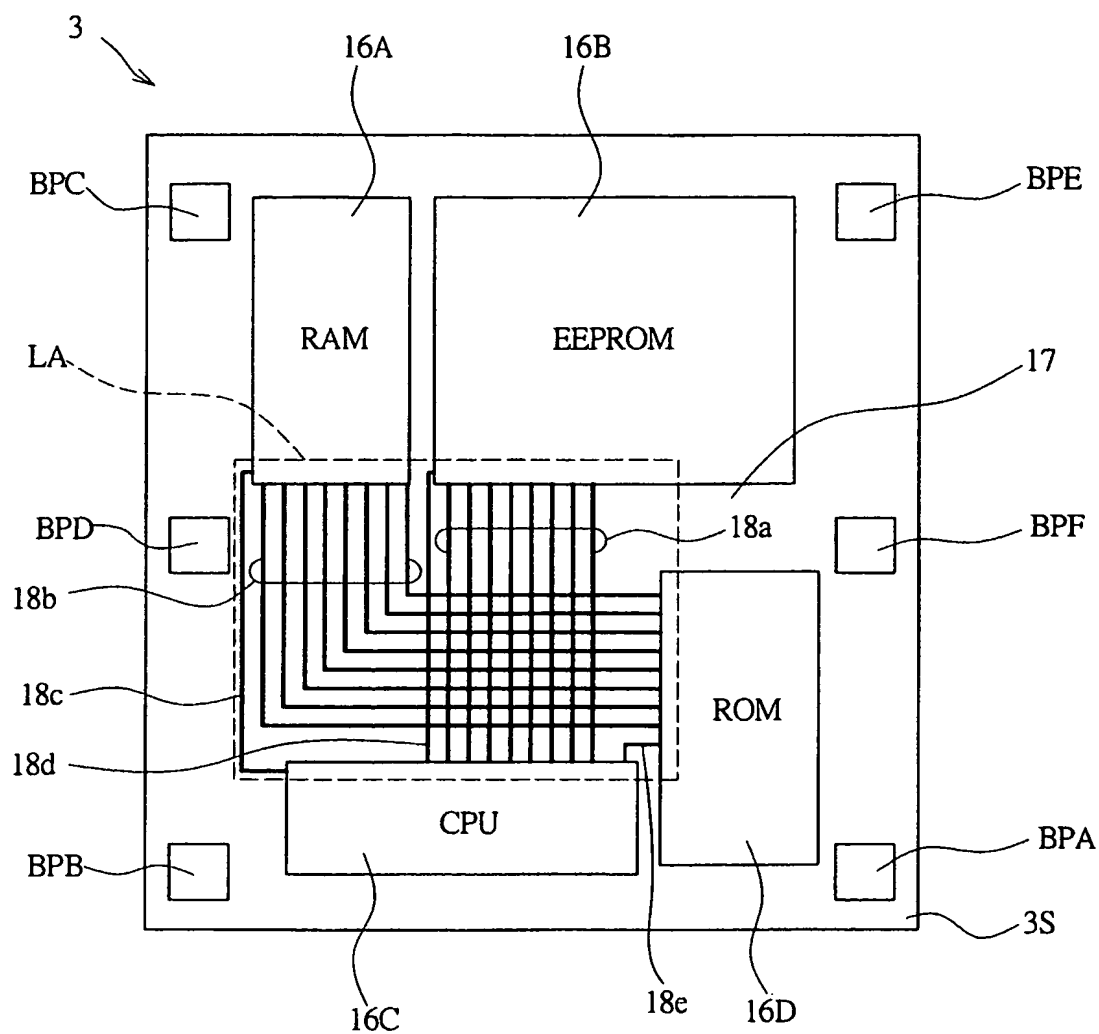


図 12

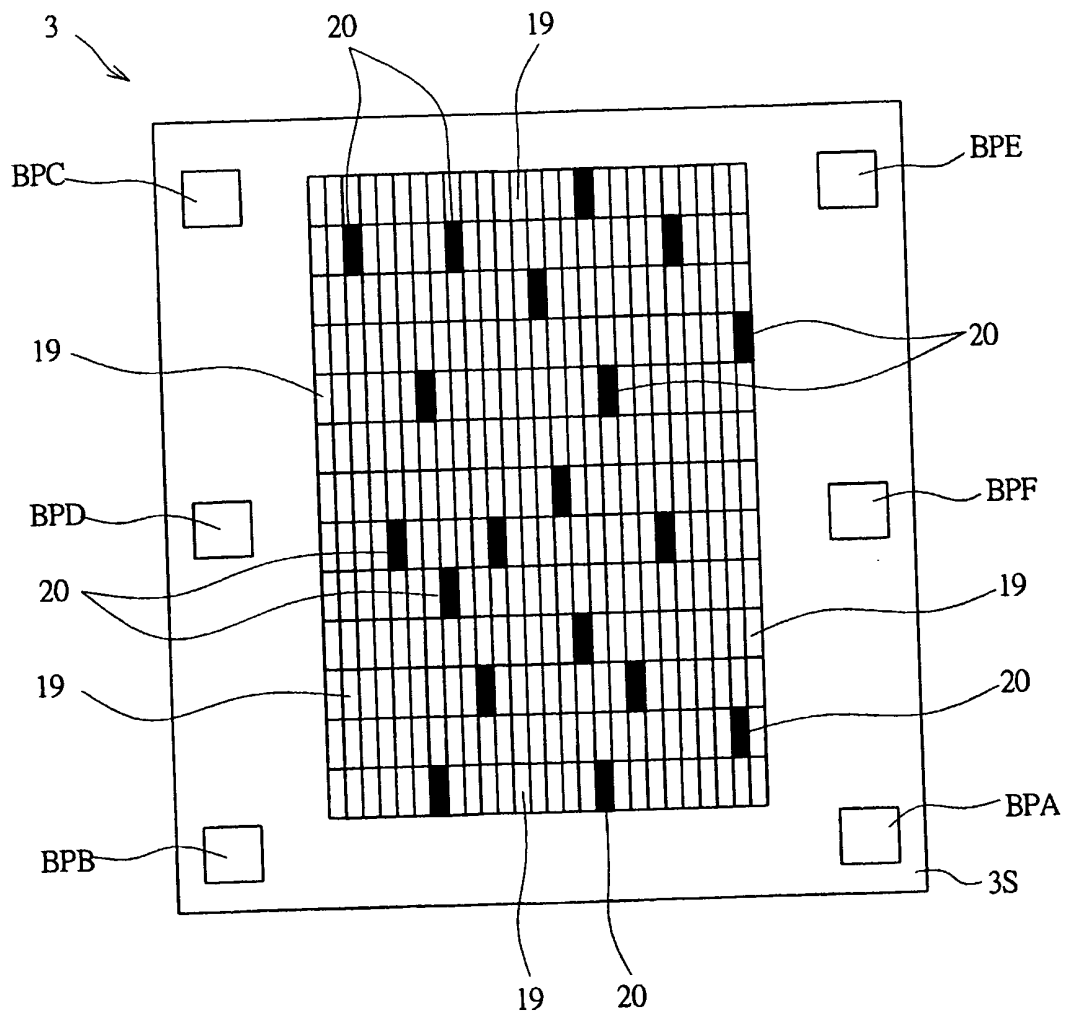
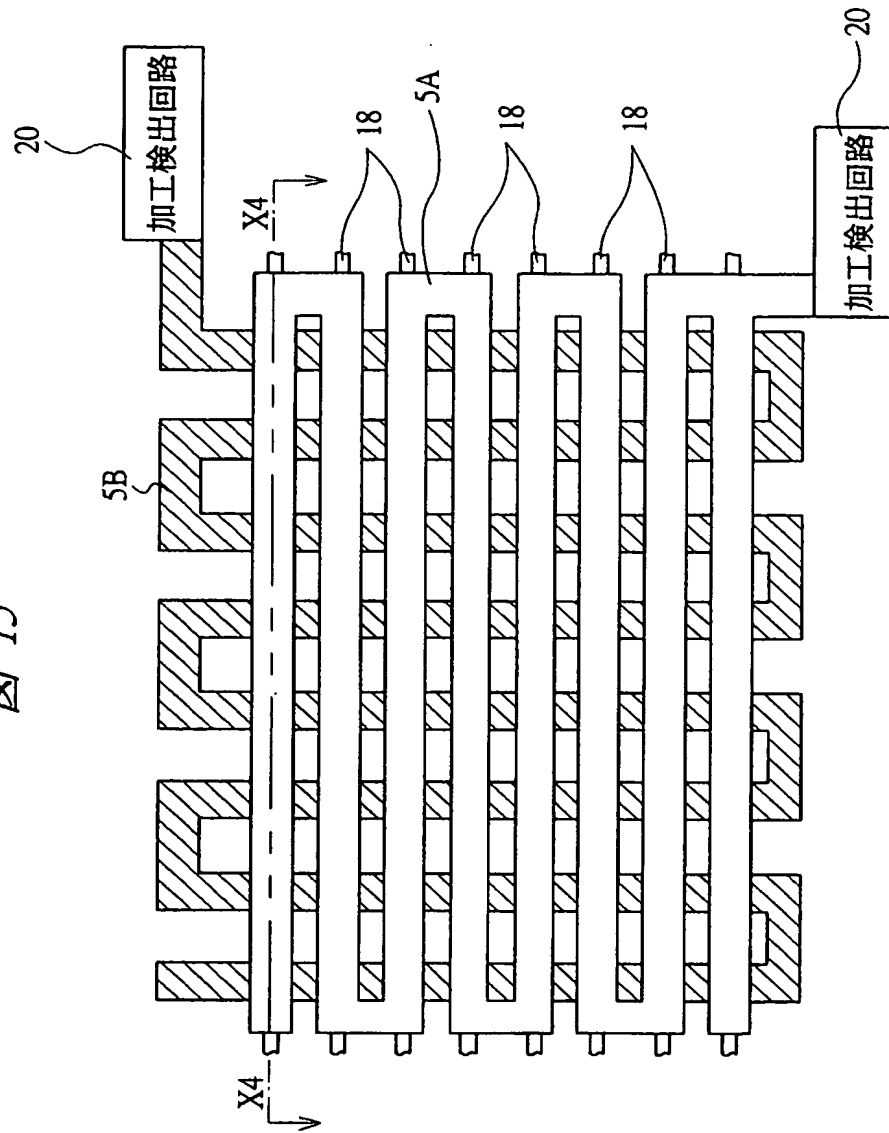


図 14

		N1	N2	N3	N4	OUT
M1	通 常	L	H	L	H	L
M2	VCC切断	—	L	H	L	H
M3	GND切断	H	—	—	L	H

図 15



16

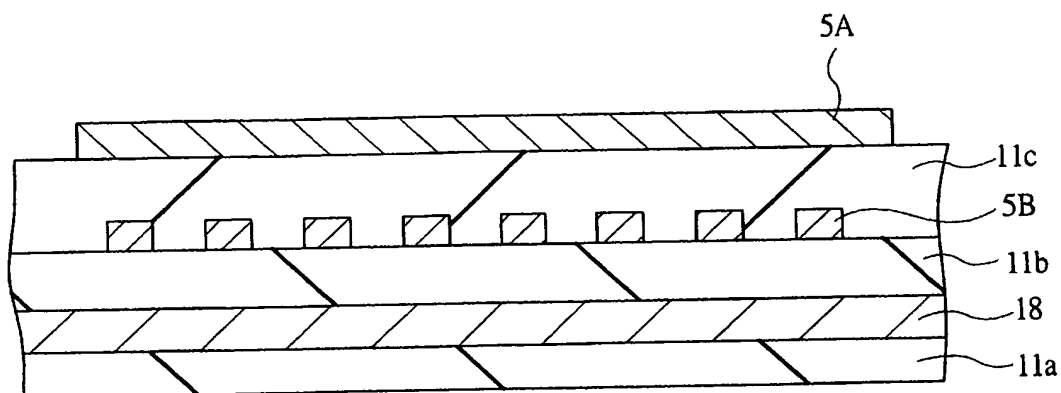


図 17

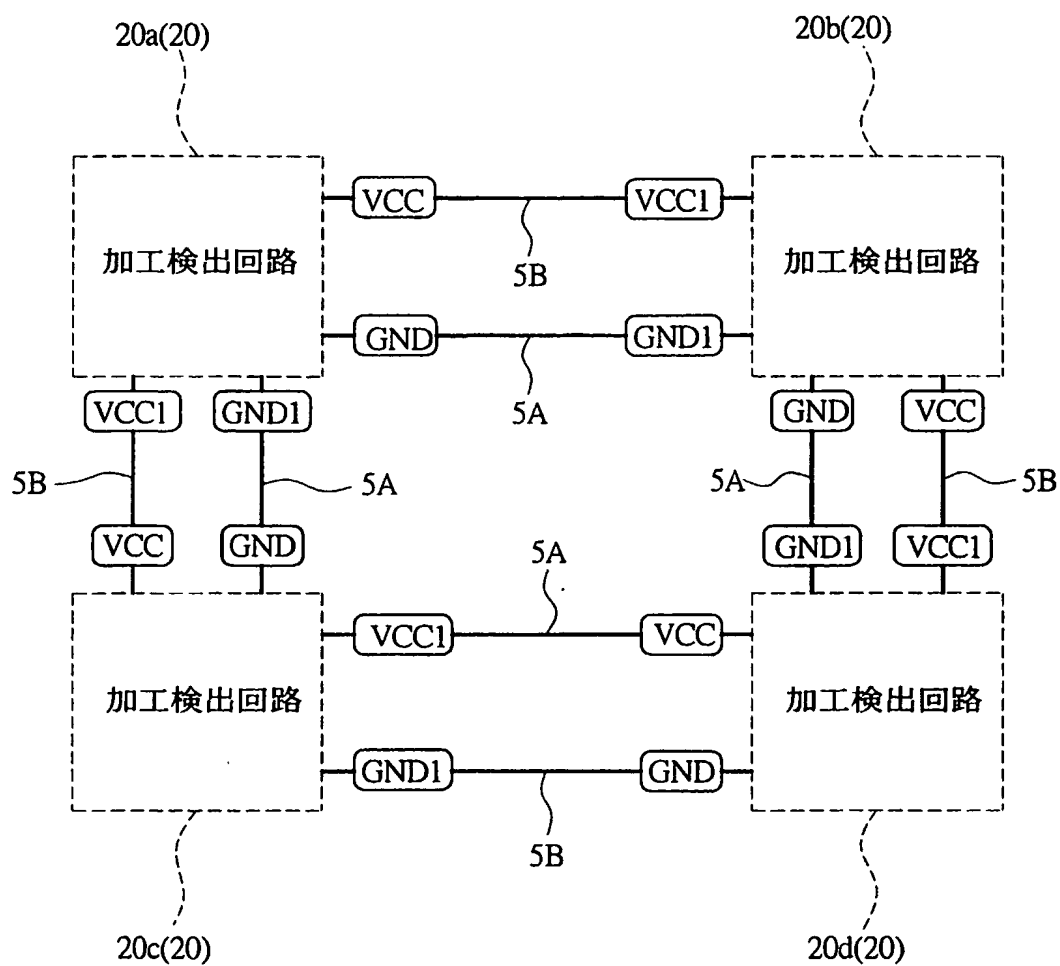
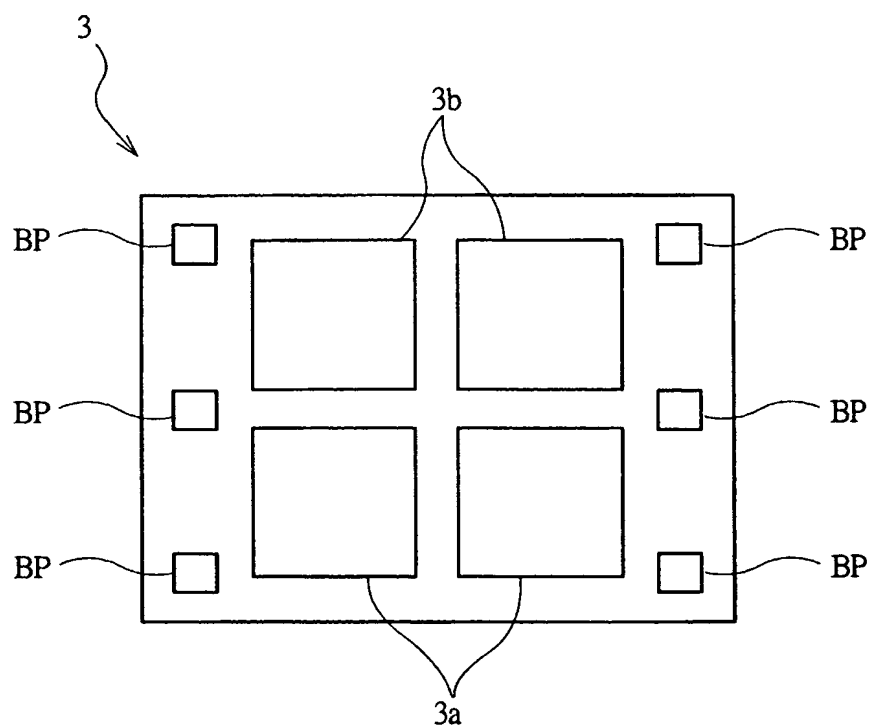


図 18



19

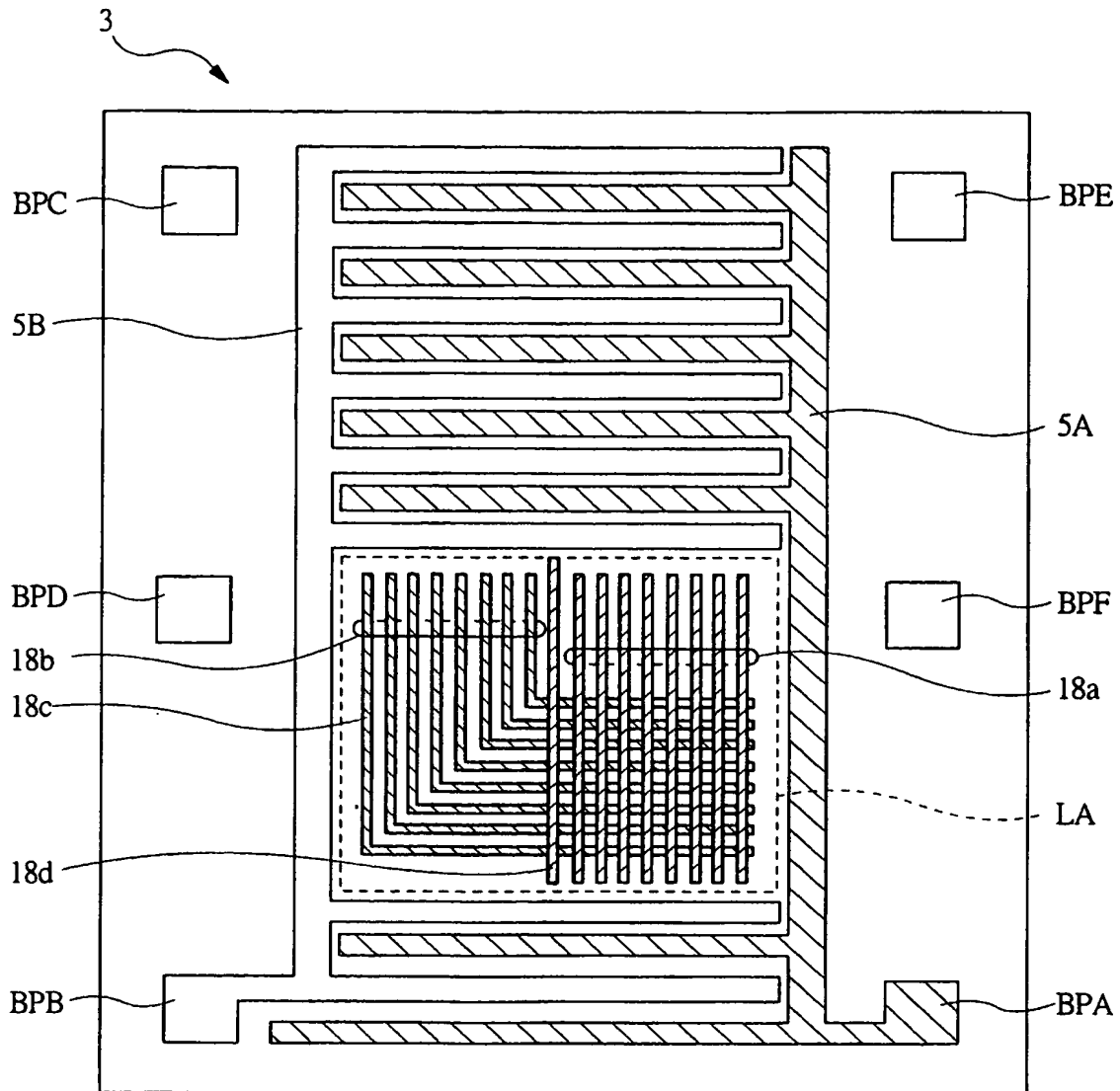


図 20

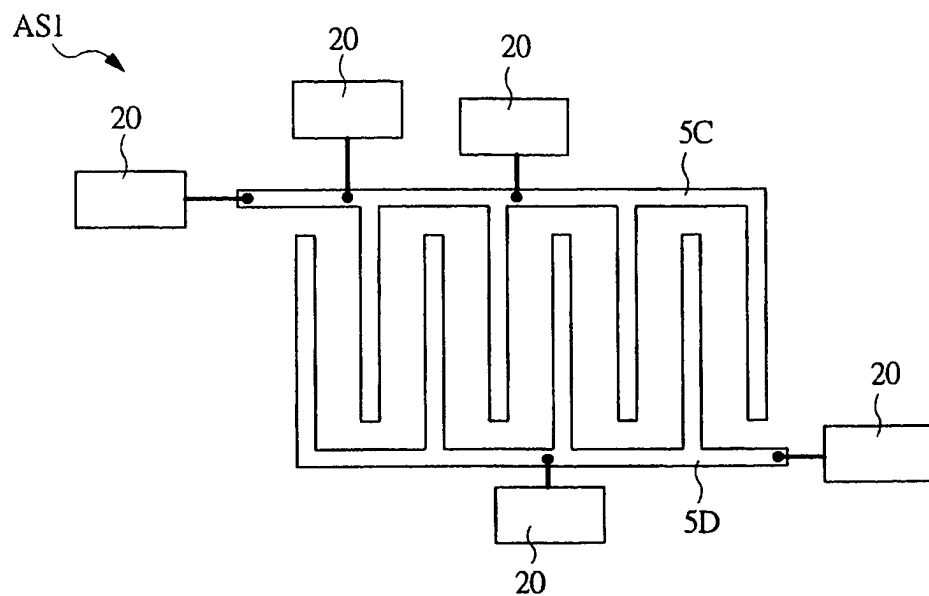
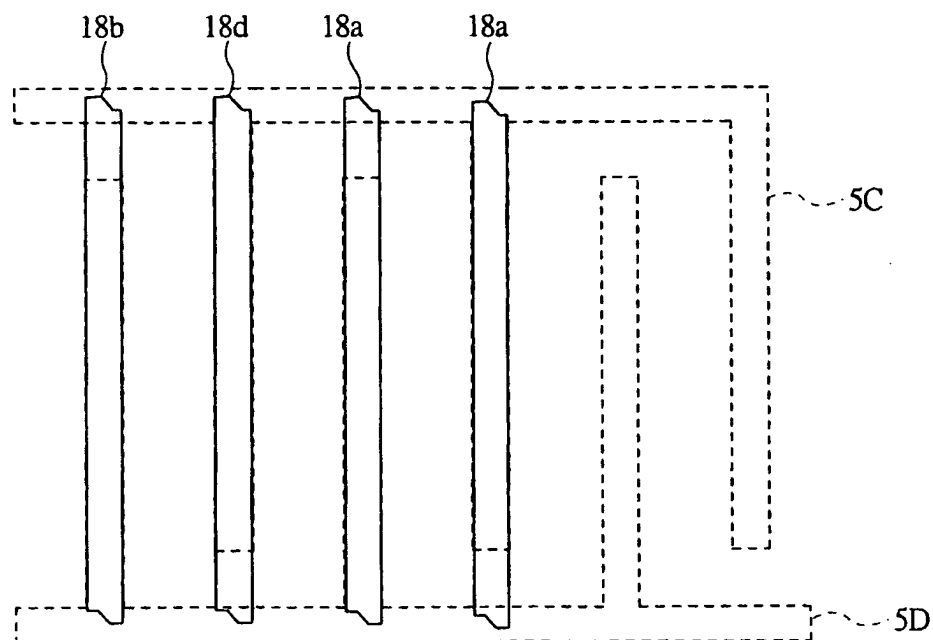


図 21



22

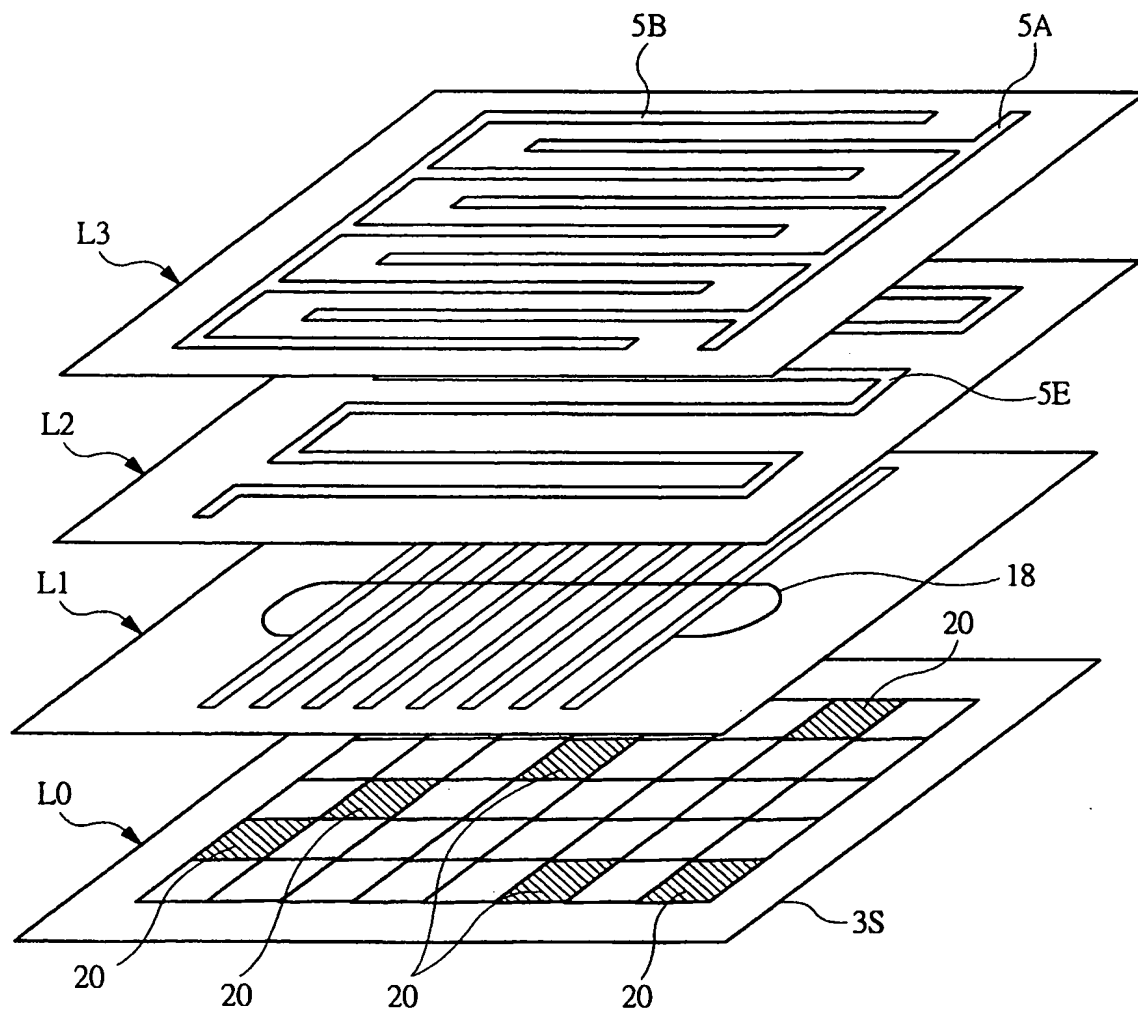
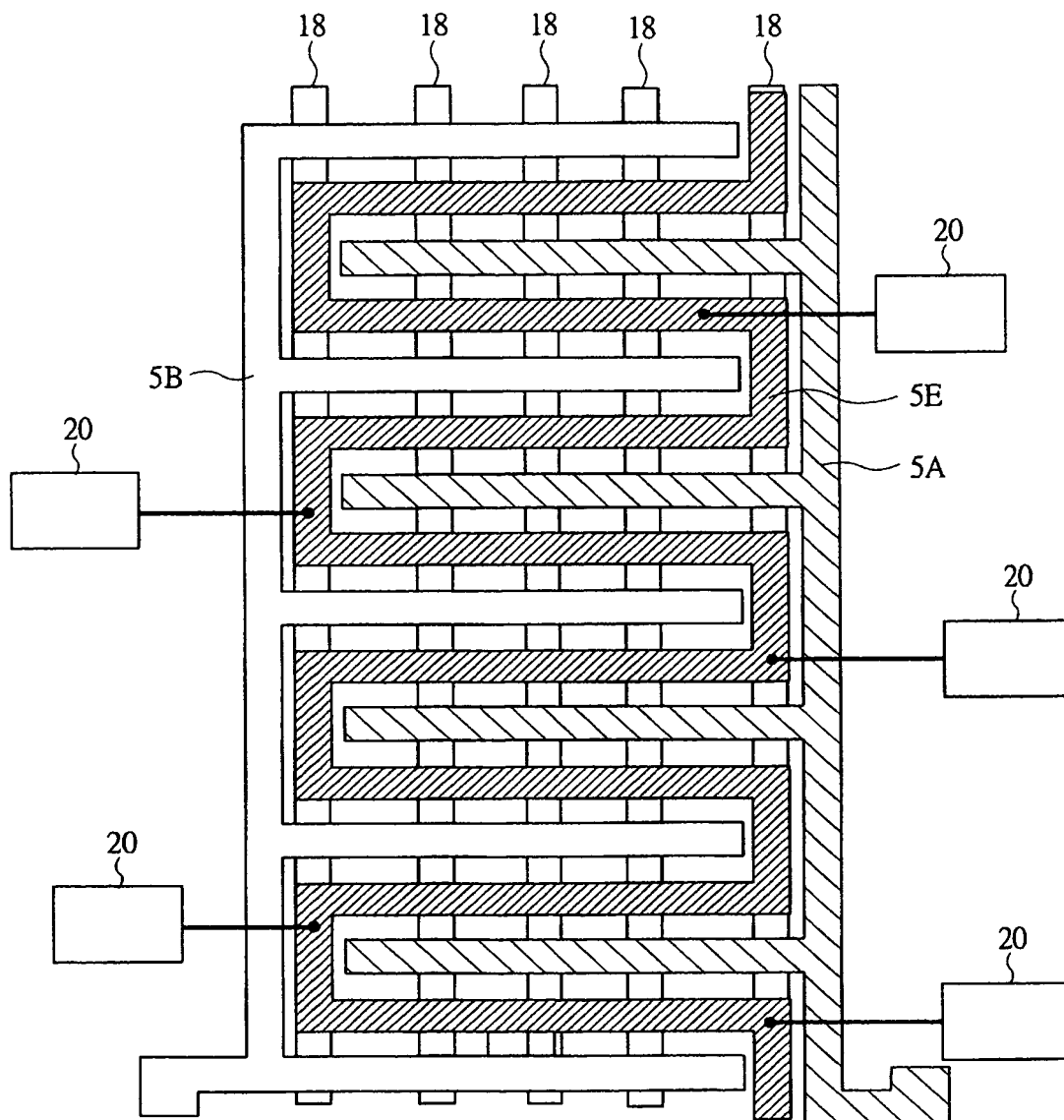


図 23



24

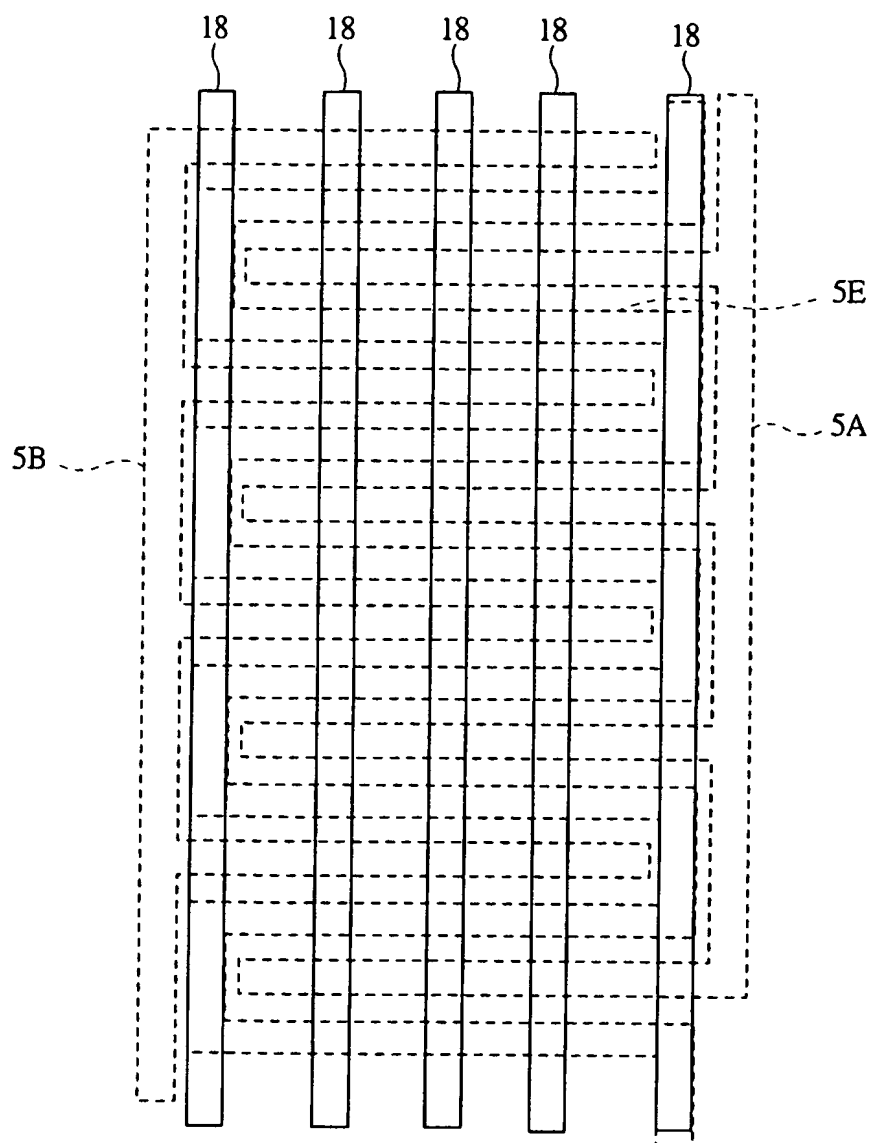


図 25

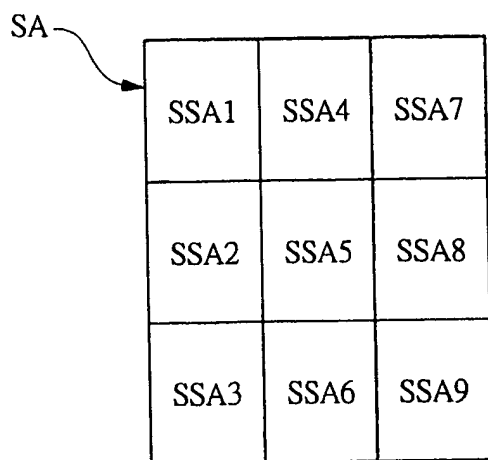


図 26

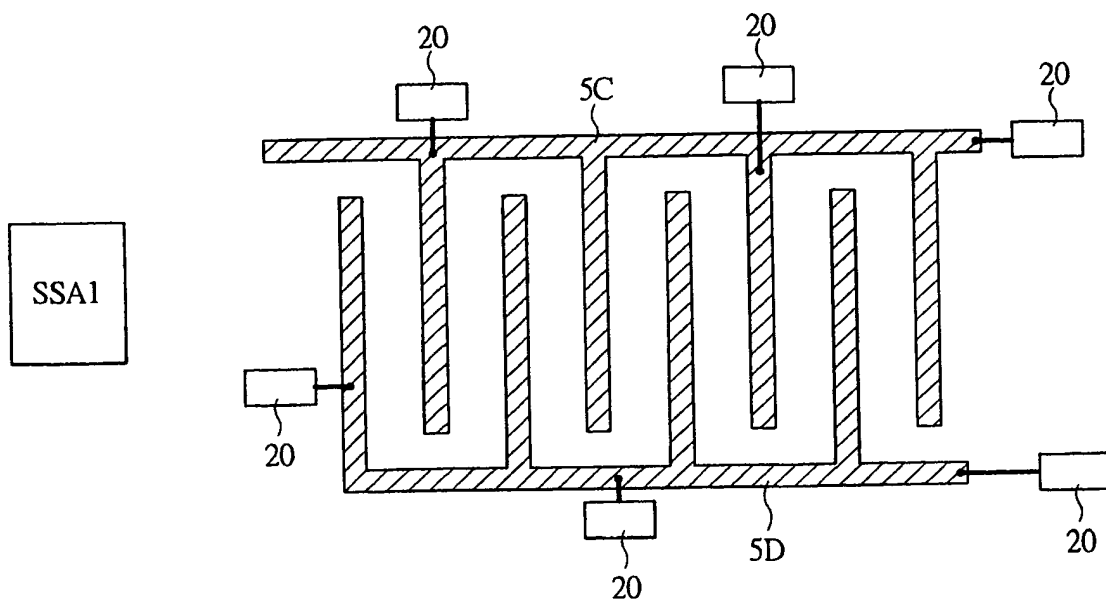


図 27

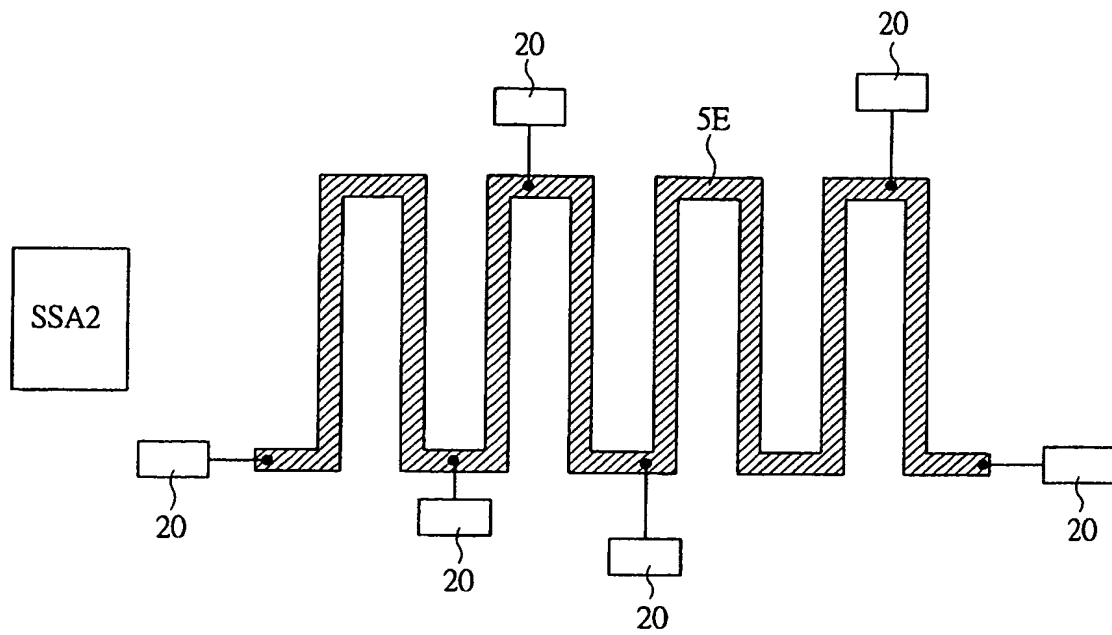
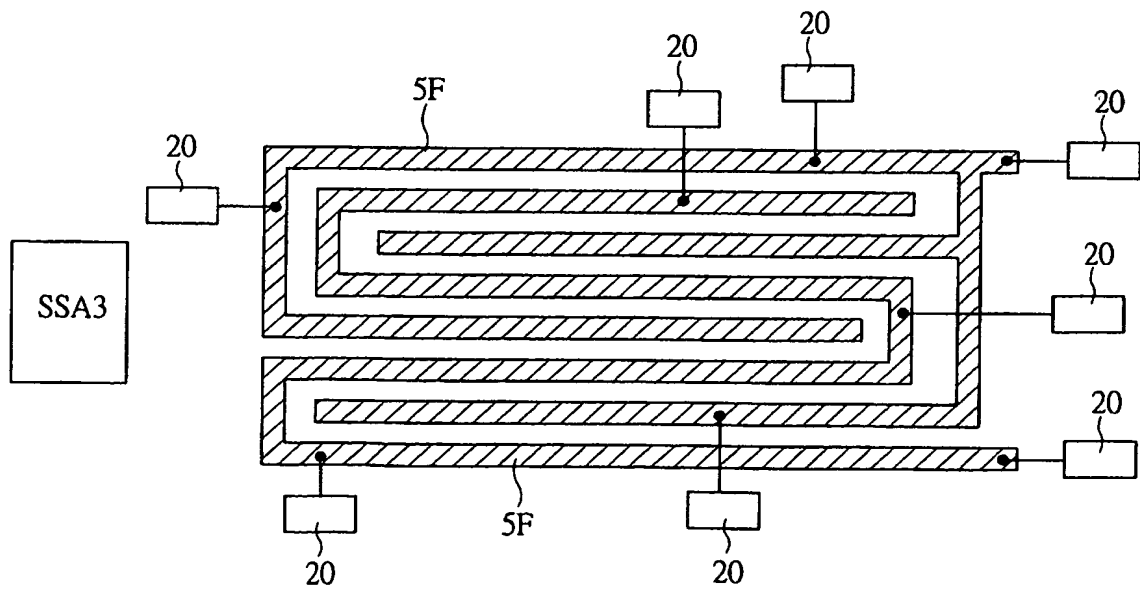
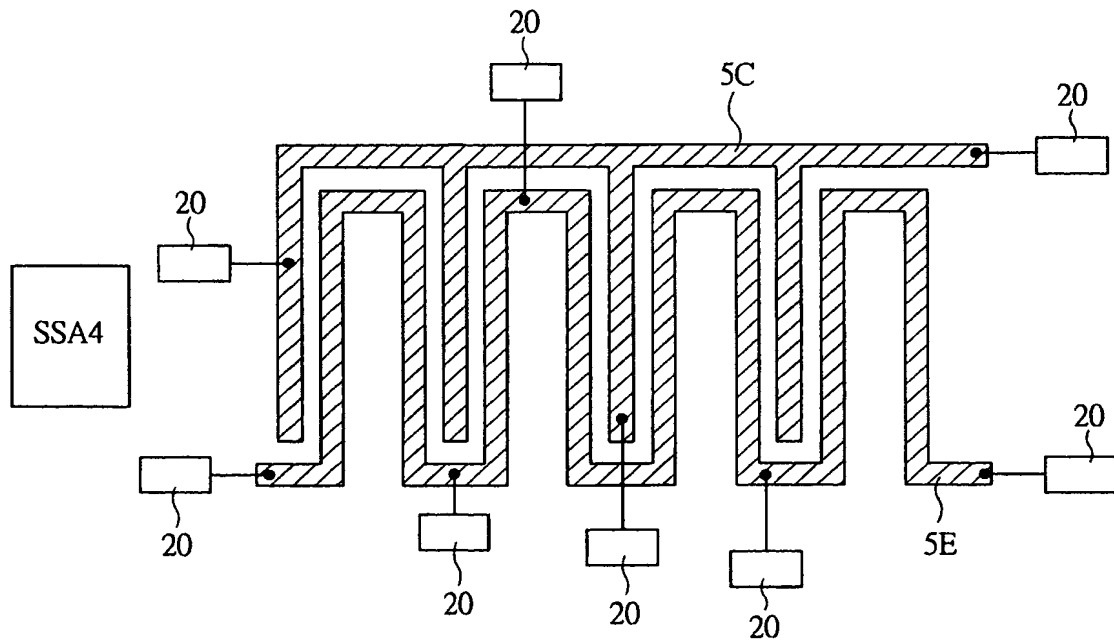


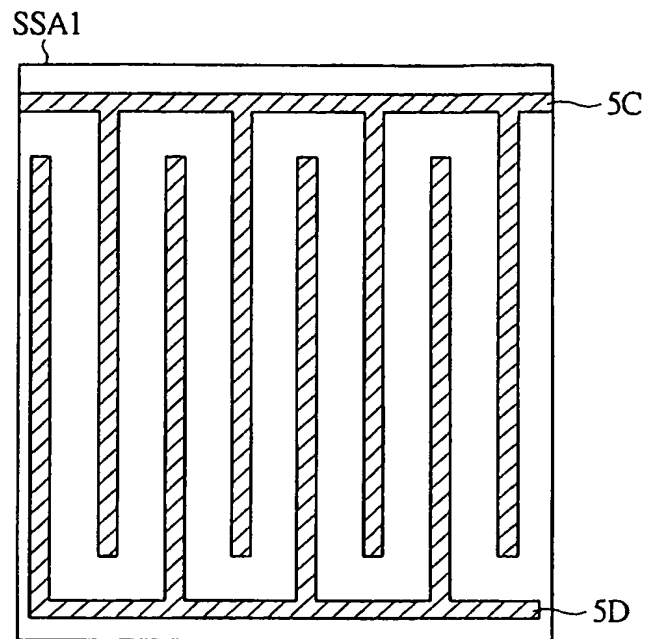
図 28



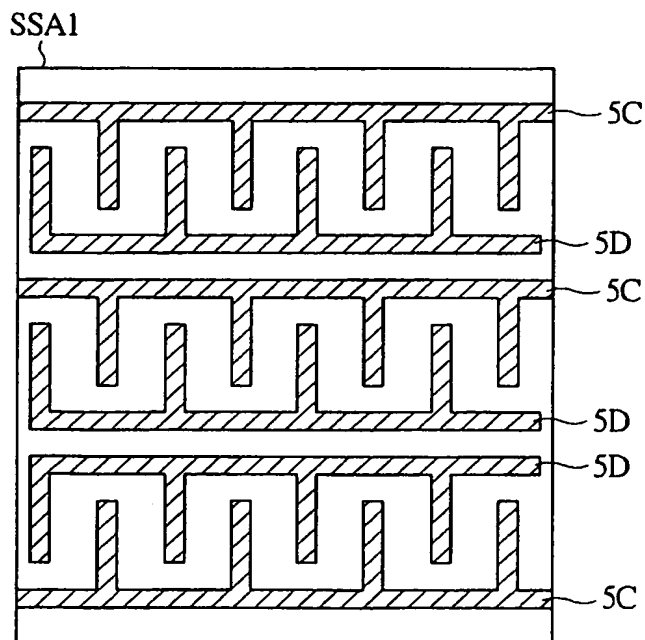
29



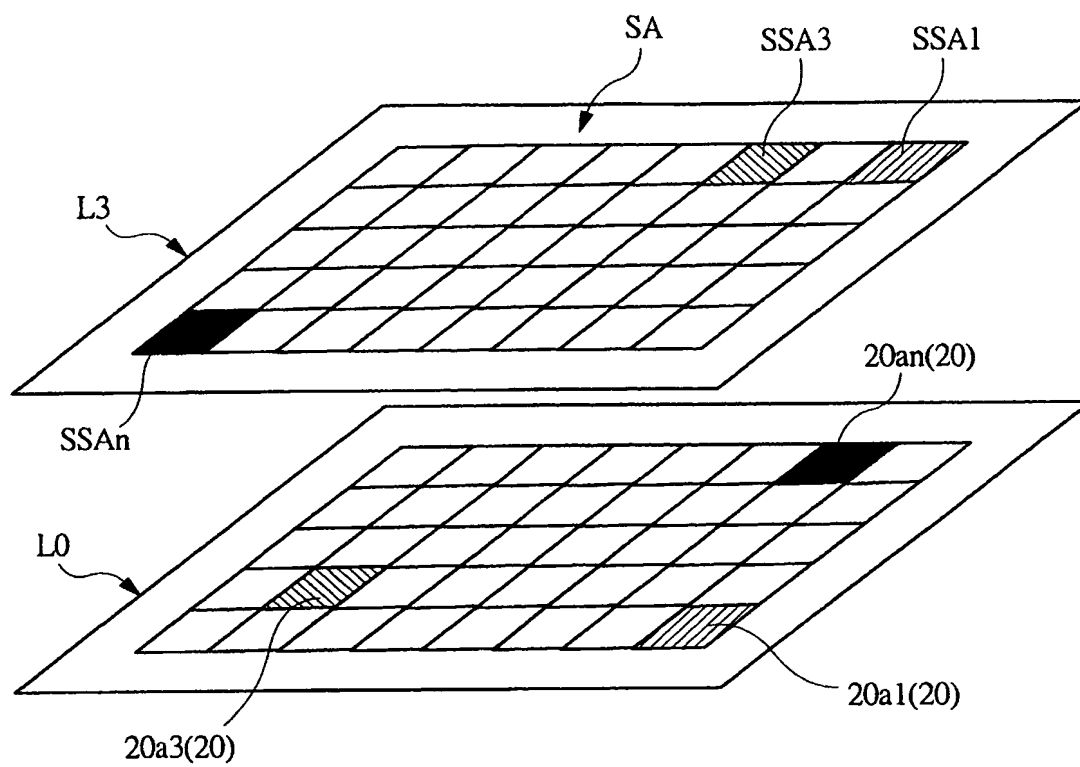
30



31



32



33

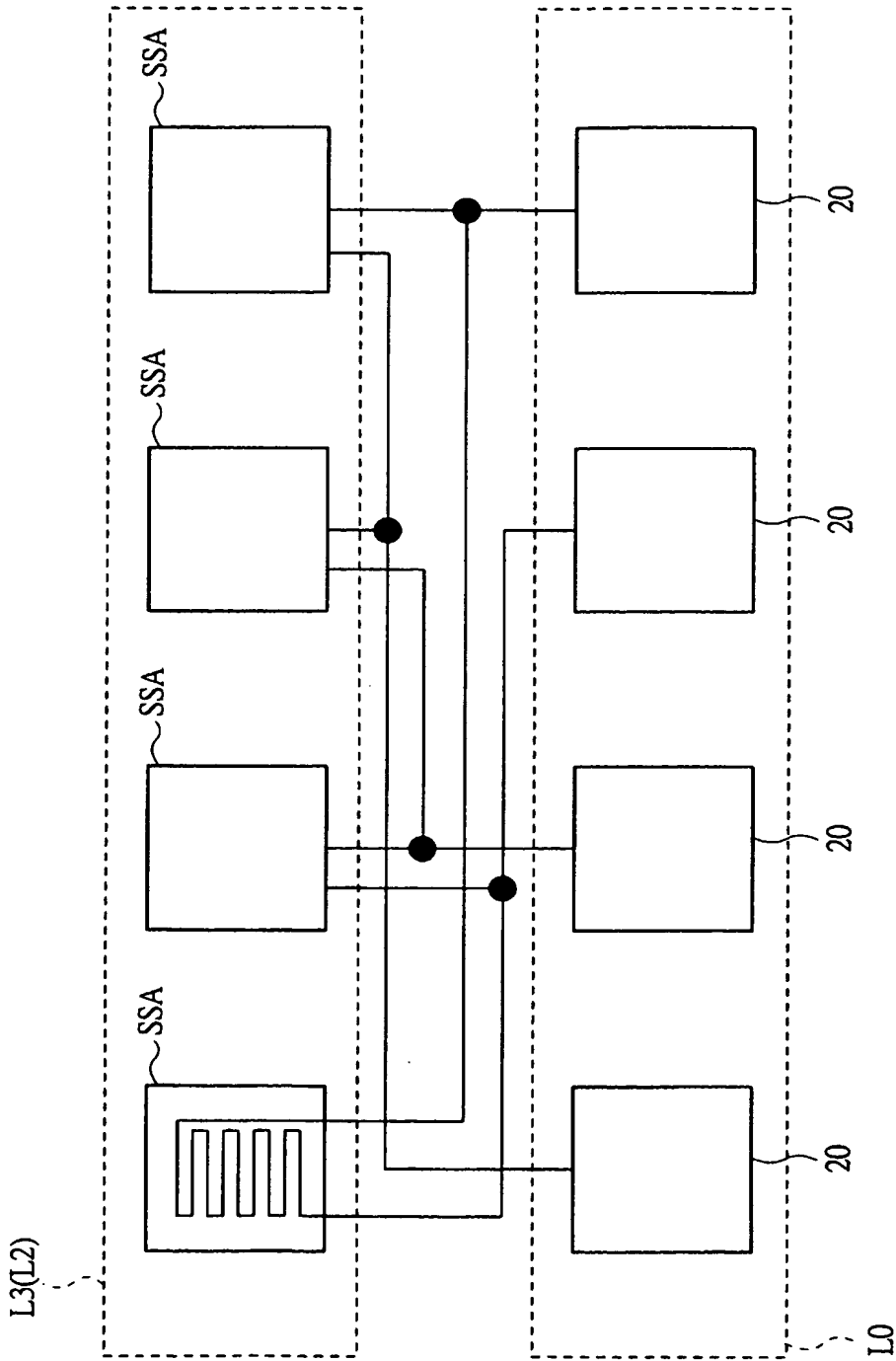


図 34

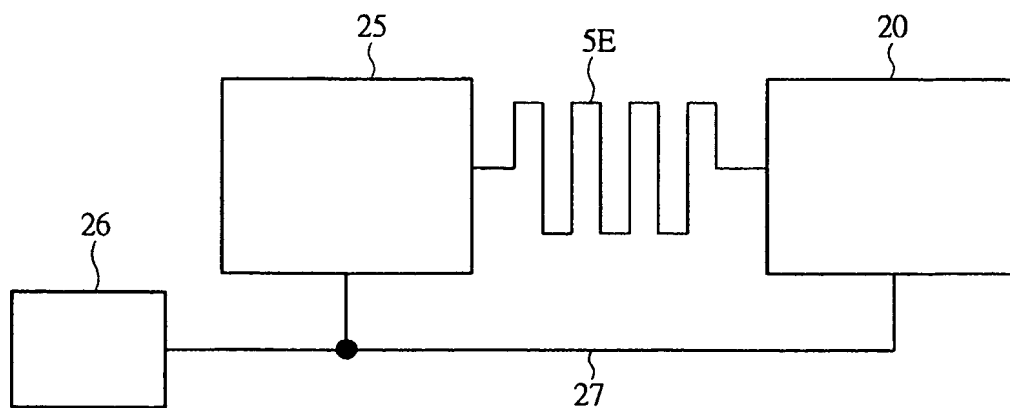
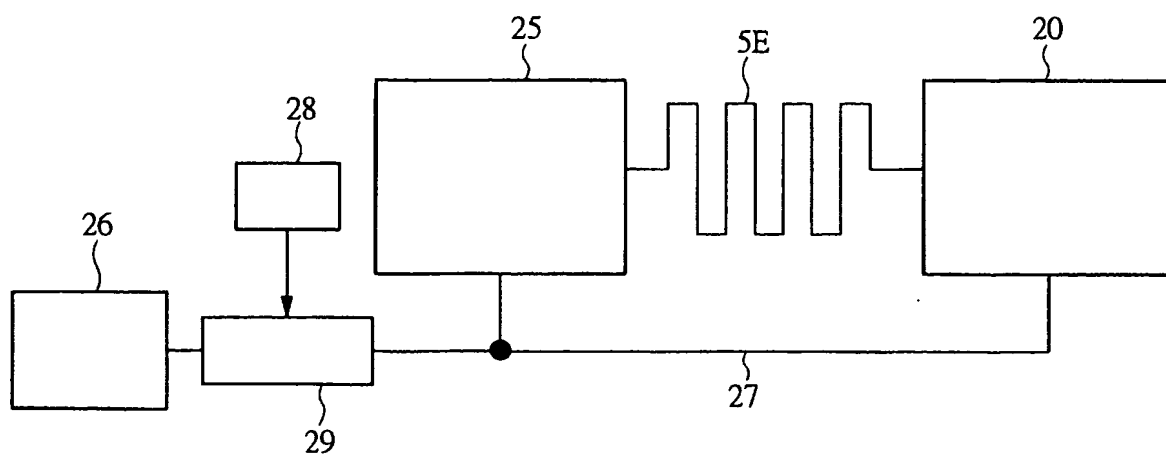

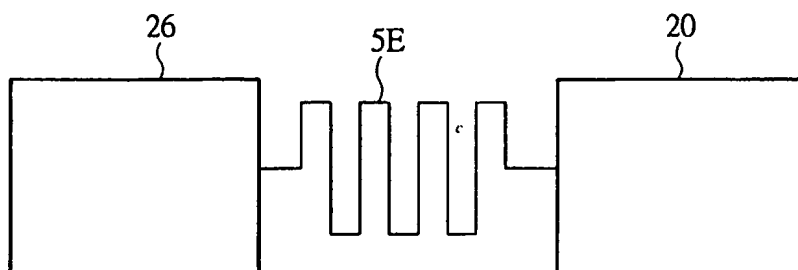


図 35



 36



37

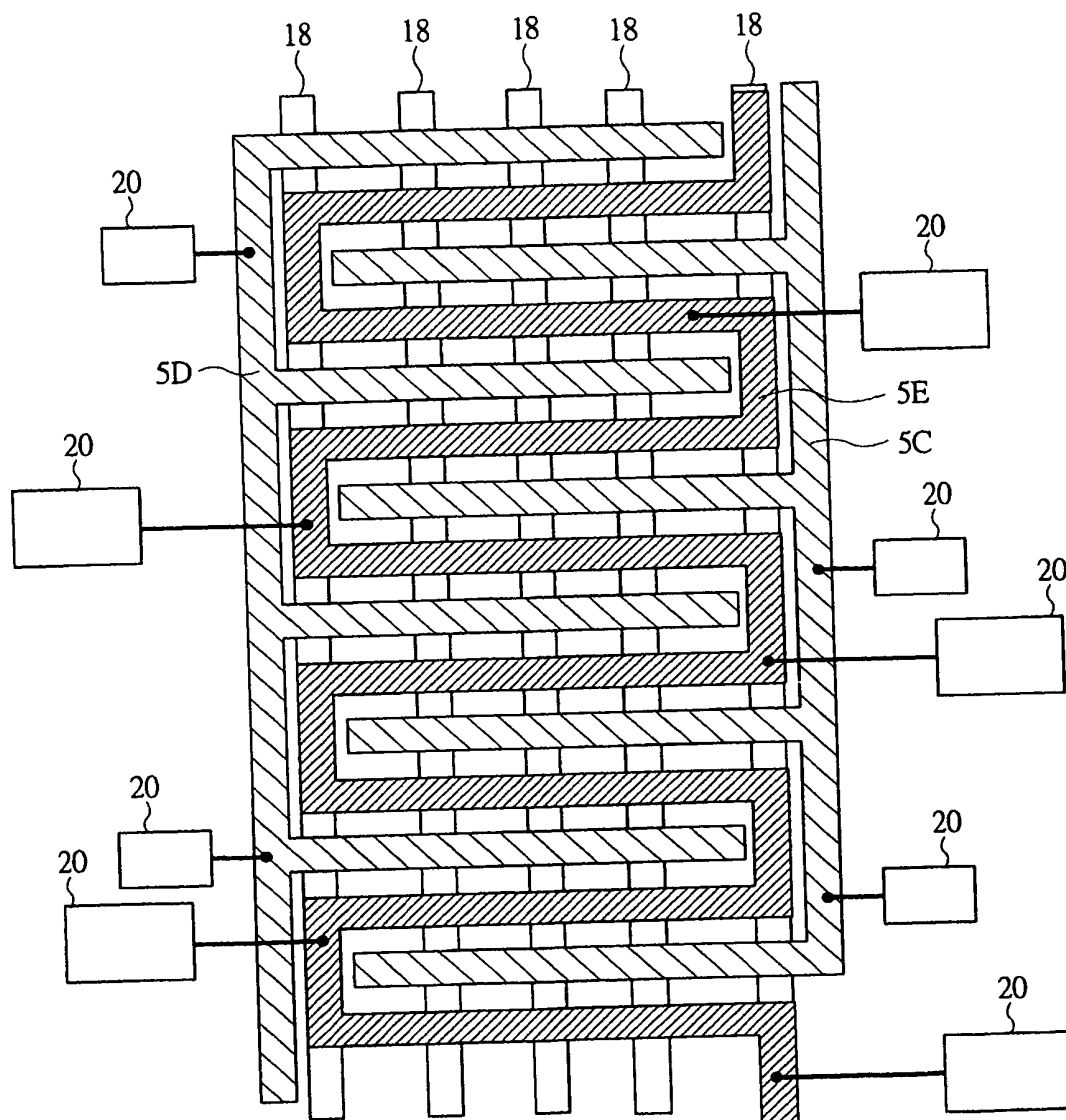


図 38

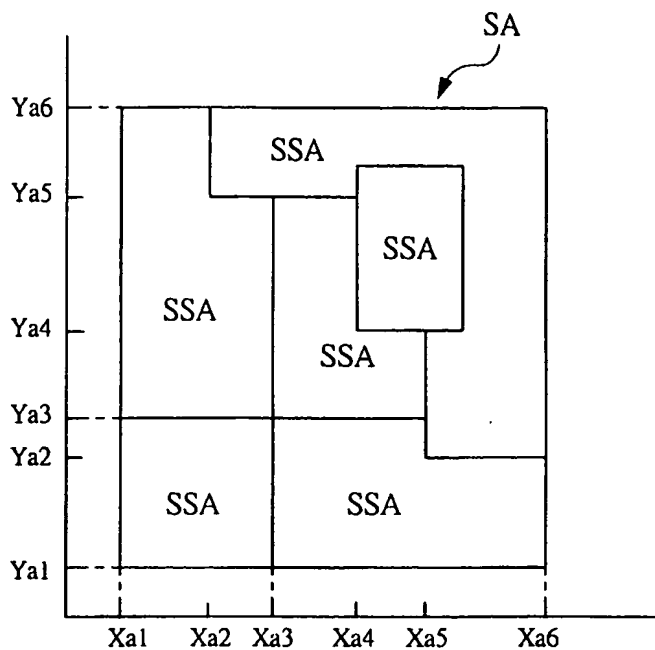


図 39

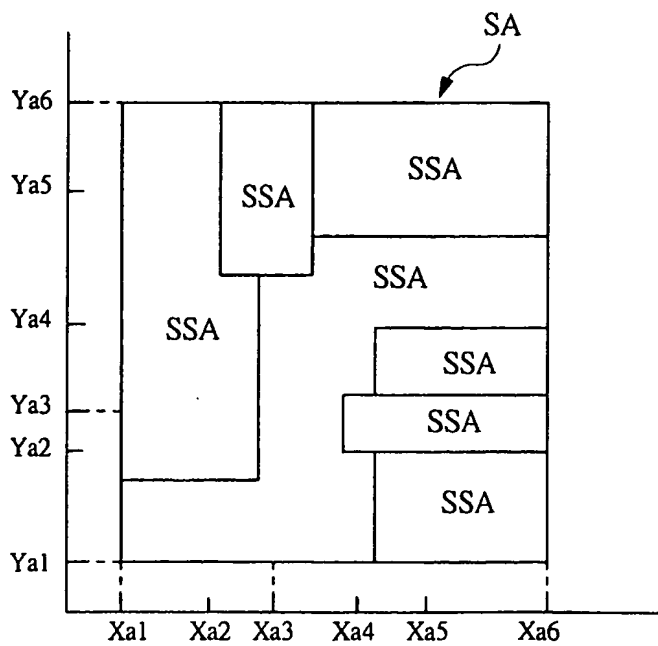
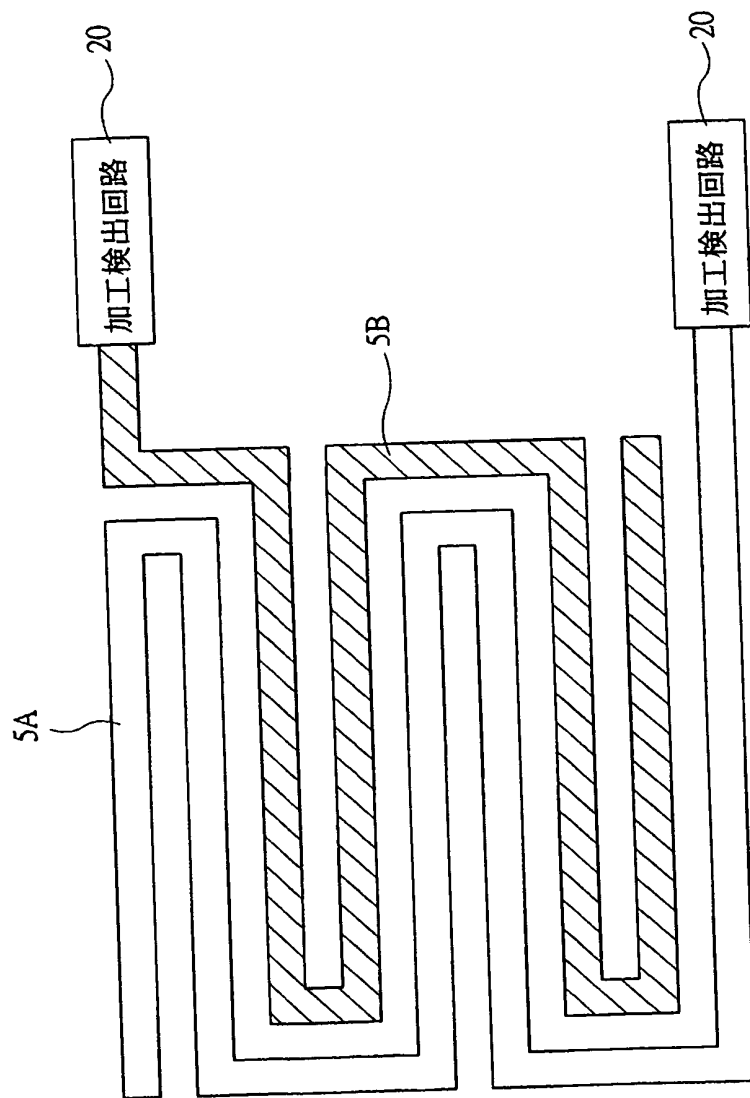


図 40



INTERNATIONAL SEARCH REPORT

International application No:

PCT/JP02/06577

A. CLASSIFICATION OF SUBJECT MATTERInt.Cl⁷ H01L27/04, H01L21/3205, G06K19/00, G06F12/14, H01L27/10,
B42D15/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/04, H01L21/3205, G06K19/00, G06F12/14, H01L27/10,
B42D15/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 9-17956 A (Kabushiki Kaisha LE Tech), 17 January, 1997 (17.01.97), Full text; Figs. 6 to 7 (Family: none)	1-4, 8, 41 5-7, 11-14, 18, 20-28, 31- 34, 38, 40, 42 19, 39
X Y A	WO 00/28399 A1 (Infineon Technologies AG), 18 May, 2000 (18.05.00), Full text; Figs. 1 to 4 & JP 2002-529928 A Full text; Figs. 1 to 4	9, 10, 15-17, 29, 30, 35-37, 43, 44, 46, 47, 50-52, 54-64, 67-70 5-7, 21-28, 31-34, 38, 40, 45 19, 39, 48, 49, 53, 65, 66

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
30 September, 2002 (30.09.02)Date of mailing of the international search report
15 October, 2002 (15.10.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/06577

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 86/03861 A1 (NCR Corp.), 03 July, 1986 (03.07.86), Full text; Figs. 1 to 11 & JP 62-501242 A Full text; Figs. 1 to 11 & US 4593384 A & EP 207126 A & CA 1238716 A & DE 3576006 C	11-14, 18, 20, 31-34, 38, 40, 42
X	JP 2000-76140 A (Nippon Telegraph And Telephone Corp.), 14 March, 2000 (14.03.00), Full text; Figs. 1 to 6 (Family: none)	9, 10, 15-17, 29, 30, 35-37, 43, 52, 58, 60, 61
Y	JP 3-8360 A (Toshiba Corp.), 16 January, 1991 (16.01.91), Full text; Figs. 1 to 3 (Family: none)	6, 26, 45
Y	JP 3-218633 A (Matsushita Electronics Corp.), 26 September, 1991 (26.09.91), Full text; Figs. 1 to 2 (Family: none)	7, 27

Form PCT/ISA/210 (continuation of second sheet) (July 1998)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L21/3205, G06K19/00, G06F12/14
H01L27/10, B42D15/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L21/3205, G06K19/00, G06F12/14
H01L27/10, B42D15/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-17956 A (株式会社エルイーテック) 1997. 01. 17, 全文, 図6-7 (ファミリーなし)	1-4, 8, 41
Y		5-7, 11-14, 18 20-28, 31-34, 38, 40, 42
A		19, 39

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

30. 09. 02

国際調査報告の発送日

15.10.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

早川 朋一



4 L

9733

電話番号 03-3581-1101 内線 3496

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 00/28399 A1 (INFINEON TECHNOLOGIES AG) 2000.05.18, 全文, 図1-4 & JP 2002-529928 A, 全文, 図1-4	9, 10, 15-17, 29, 30, 35-37, 43, 44, 46, 47, 50-52, 54-64, 67-70
Y		5-7, 21-28, 31-34, 38, 40, 45
A		19, 39, 48, 49, 53, 65, 66
Y	WO 86/03861 A1 (NCR CORPORATION) 1986.07.03, 全文, 図1-11 & JP 62-501242 A, 全文, 図1-11 & US 4593384 A & EP 207126 A & CA 1238716 A & DE 3576006 C	11-14, 18, 20, 31-34, 38, 40, 42
X	JP 2000-76140 A (日本電信電話株式会社) 2000.03.14, 全文, 図1-6 (ファミリーなし)	9, 10, 15-17, 29, 30, 35-37, 43, 52, 58, 60, 61
Y	JP 3-8360 A (株式会社東芝) 1991.01.16, 全文, 第1-3図 (ファミリーなし)	6, 26, 45
Y	JP 3-218633 A (松下電子工業株式会社) 1991.09.26, 全文, 第1-2図 (ファミリーなし)	7, 27

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)